

日 本 国 特 許 庁
PATENT OFFICE
JAPANESE GOVERNMENT

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application:

1999年 1月29日

出 願 番 号
Application Number:

平成11年特許願第022688号

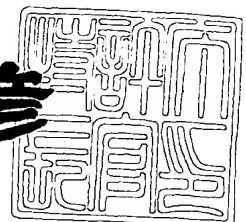
出 願 人
Applicant (s):

株式会社東芝

2000年 1月28日

特 許 庁 長 官
Commissioner,
Patent Office

近 藤 隆 彦



出証番号 出証特2000-3001160

【書類名】 特許願

【整理番号】 A009808032

【提出日】 平成11年 1月29日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/00

【発明の名称】 半導体装置及びその製造方法

【請求項の数】 10

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 須黒 恭一

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 松尾 浩司

【発明者】

 【住所又は居所】 神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横
 浜事業所内

 【氏名】 齋藤 友博

【特許出願人】

 【識別番号】 000003078

 【氏名又は名称】 株式会社 東芝

【代理人】

 【識別番号】 100058479

 【弁理士】

 【氏名又は名称】 鈴江 武彦

 【電話番号】 03-3502-3181

【選任した代理人】

 【識別番号】 100084618

【弁理士】

【氏名又は名称】 村松 貞男

【選任した代理人】

【識別番号】 100068814

【弁理士】

【氏名又は名称】 坪井 淳

【選任した代理人】

【識別番号】 100092196

【弁理士】

【氏名又は名称】 橋本 良郎

【選任した代理人】

【識別番号】 100091351

【弁理士】

【氏名又は名称】 河野 哲

【選任した代理人】

【識別番号】 100088683

【弁理士】

【氏名又は名称】 中村 誠

【選任した代理人】

【識別番号】 100070437

【弁理士】

【氏名又は名称】 河井 将次

【手数料の表示】

【予納台帳番号】 011567

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【ブルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びその製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に選択的に形成された第 1 の絶縁膜と、
前記第 1 の絶縁膜上に形成されたゲート電極と、
前記ゲート電極上に形成された第 2 の絶縁膜と、
前記ゲート電極の側面に形成された第 3 の絶縁膜と、
前記第 3 の絶縁膜の両側の汚染層を持たない前記半導体基板上に前記半導体基板の表面より高く形成されたファセットを有するソース・ドレイン領域と、
前記ソース・ドレイン領域下の前記半導体基板内に形成された拡散層と、
前記ソース・ドレイン領域上に形成されたシリサイド膜と
を有することを特徴とする半導体装置。

【請求項 2】 半導体基板上に選択的に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極の側面に形成された側壁と、
前記ゲート絶縁膜の両側の前記半導体基板上に前記半導体基板の表面より高く形成されたソース・ドレイン領域とを有し、
前記側壁が誘電率の異なる絶縁膜で形成されていることを特徴とする半導体装置。

【請求項 3】 半導体基板上に選択的に形成されたゲート絶縁膜と、
前記ゲート絶縁膜上に形成されたゲート電極と、
前記ゲート電極の側面に形成された絶縁膜からなる側壁と、
前記ゲート電極の表面に形成された金属酸化膜と、
前記ゲート電極の両側に位置する前記半導体基板内に形成された拡散層と、
前記拡散層上で前記側壁と接して形成されたソース・ドレイン領域と、
前記ソース・ドレイン領域の表面に形成されたシリサイド膜とを有し、
前記金属酸化膜の表面と前記シリサイド膜の表面が同じ高さであることを特徴とする半導体装置。

【請求項 4】 前記シリサイド膜は、アルミニウムの融点より低い温度でシ

リサイドを形成する貴金属を含むシリサイド膜であることを特徴とする請求項3記載の半導体装置。

【請求項5】 半導体基板上に第1の絶縁膜を形成する工程と、
前記第1の絶縁膜上にゲート電極を選択的に形成する工程と、
前記ゲート電極上に第2の絶縁膜を選択的に形成する工程と、
前記ゲート電極の側面に第3の絶縁膜を形成する工程と、
リン酸処理により、前記ゲート電極及び前記第3の絶縁膜が形成されていない前記半導体基板上の前記第1の絶縁膜を除去し、前記半導体基板の表面を露出する工程と、
前記露出された半導体基板をエピタキシャル成長し、ファセットを有するエピタキシャル層を形成する工程と、
前記エピタキシャル層にイオン注入を行い、第1の拡散層を形成する工程と、
前記第1の拡散層中の不純物を拡散させて、前記半導体基板表面に第2の拡散層を形成する工程と
を含むことを特徴とする半導体装置の製造方法。

【請求項6】 半導体基板上に第1の絶縁膜を形成する工程と、
前記第1の絶縁膜上にダミーゲートを選択的に形成する工程と、
前記ダミーゲートの側面に第2の絶縁膜を形成する工程と、
リン酸処理により、前記ダミーゲート及び前記第2の絶縁膜が形成されていない前記半導体基板上の前記第1の絶縁膜を除去し、前記半導体基板の表面を露出する工程と、

前記露出された半導体基板をエピタキシャル成長し、ファセットを有するエピタキシャル層を形成する工程と、
前記エピタキシャル層にイオン注入を行い、第1の拡散層を形成する工程と、
前記第1の拡散層中の不純物を拡散させて、前記半導体基板表面に第2の拡散層を形成する工程と、
前記第1の拡散層表面にシリサイド膜を形成する工程と、
全面に層間絶縁膜を形成する工程と、
前記層間絶縁膜を平坦化し、前記ダミーゲートの表面を露出する工程と、

前記ダミーゲート及び前記第 1 の絶縁膜を除去し、開口を形成する工程と、
 前記開口にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上に反応防止膜を形成する工程と、
 前記反応防止膜上に金属膜を形成する工程と、
 前記ゲート絶縁膜及び前記反応防止膜及び前記金属膜を平坦化し、前記層間絶縁膜の表面を露出させる工程と

を含むことを特徴とする半導体装置の製造方法。

【請求項 7】 半導体基板上に選択的にダミーゲートを形成する工程と、
 前記ダミーゲートの側面に第 1 の絶縁膜側壁を形成する工程と、
 前記ダミーゲートの形成されていない前記半導体基板上にエピタキシャル層を形成する工程と、
 前記エピタキシャル層に不純物を注入し第 1 の拡散層を形成する工程と、
 前記第 1 の絶縁膜側壁の側面に第 2 の絶縁膜側壁を形成する工程と、
 前記第 2 の絶縁膜側壁の側面に第 3 の絶縁膜側壁を形成する工程と、
 前記半導体基板に不純物を注入し前記半導体基板表面に第 2 の拡散層を形成する工程と、
 全面に第 1 の層間絶縁膜を形成する工程と、
 前記第 1 の層間絶縁膜を平坦化し、前記ダミーゲートの表面を露出する工程と、
 前記ダミーゲートを除去し、第 1 の溝を形成する工程と、
 前記第 1 の溝の底面にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上の前記溝内にゲート電極を形成する工程と
 を含むことを特徴とする半導体装置の製造方法。

【請求項 8】 半導体基板上に選択的にダミーゲートを形成する工程と、
 前記ダミーゲートの側面に第 1 の絶縁膜側壁を形成する工程と、
 前記ダミーゲートの形成されていない前記半導体基板上に前記第 1 の絶縁膜側壁と接する第 1 のエピタキシャル層を形成する工程と、
 前記エピタキシャル層に不純物を注入し、第 1 の拡散層を形成する工程と、
 前記第 1 の絶縁膜側壁の側面に第 2 の絶縁膜側壁を形成する工程と、

前記第 2 の絶縁膜側壁の側面に第 3 の絶縁膜側壁を形成する工程と、
 前記第 1 の拡散層上に前記第 2 の絶縁膜側壁と接する第 2 のエピタキシャル層を形成する工程と、
 前記第 2 のエピタキシャル層に不純物を注入し、第 2 の拡散層を形成する工程と、
 全面に第 1 の層間絶縁膜を形成する工程と、
 前記第 1 の層間絶縁膜を平坦化し、前記ダミーゲートの表面を露出する工程と、
 前記ダミーゲートを除去し、第 1 の溝を形成する工程と、
 前記第 1 の溝の底面にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上にゲート電極を形成する工程と、
 前記第 1 の絶縁膜側壁及び第 3 の絶縁膜側壁を除去し、第 2 及び第 3 の溝を形成する工程と、
 全面に第 2 の層間絶縁膜を形成する工程と
 を含むことを特徴とする半導体装置の製造方法。

【請求項 9】 半導体基板上にゲート絶縁膜を形成する工程と、
 前記ゲート絶縁膜上に選択的にゲート電極を形成する工程と、
 前記ゲート電極の側面に第 1 の絶縁膜側壁を形成する工程と、
 前記ゲート電極及び前記第 1 の絶縁膜側壁の形成されていない前記半導体基板上にエピタキシャル層を形成する工程と、
 前記エピタキシャル層に不純物を注入し第 1 の拡散層を形成する工程と、
 前記第 1 の絶縁膜側壁の側面に第 2 の絶縁膜側壁を形成する工程と、
 前記第 2 の絶縁膜側壁の側面に第 3 の絶縁膜側壁を形成する工程と、
 前記半導体基板に不純物を注入し前記半導体基板表面に第 2 の拡散層を形成する工程と
 を含むことを特徴とする半導体装置の製造方法。

【請求項 10】 半導体基板上に第 1 の絶縁膜を形成する工程と、
 前記第 1 の絶縁膜上にダミーゲートを選択的に形成する工程と、
 前記ダミーゲートをマスクとして前記半導体基板表面に第 1 の拡散層を形成す

る工程と、

前記ダミーゲートの側面に第 2 の絶縁膜を形成する工程と、

フッ酸処理により、前記第 1 の絶縁膜を除去し、前記第 1 の拡散層上の前記半導体基板を露出する工程と、

前記露出された半導体基板をエピタキシャル成長し、第 2 の拡散層を形成する工程と、

全面に層間絶縁膜を形成する工程と、

前記層間絶縁膜を平坦化し、前記ダミーゲートの表面を露出する工程と、

前記ダミーゲートを除去する工程と、

第 1 の絶縁膜を除去し、前記半導体基板の表面を露出する工程と、

前記露出した半導体基板の表面にゲート絶縁膜を形成する工程と、

全面に反応防止膜を形成する工程と、

前記反応防止膜上にゲート電極材を形成する工程と、

前記第 2 の絶縁膜及び前記反応防止膜及び前記ゲート電極材を平坦化し、前記第 2 の拡散層の表面を露出する工程と、

全面に酸化を行い、前記反応防止膜の表面に反応防止膜の酸化物、前記ゲート電極材の表面にゲート電極材の酸化物、前記第 2 の拡散層の表面に酸化膜を形成する工程と、

フッ酸処理により、前記第 2 の拡散層の表面の前記酸化膜を除去する工程と、

全面に金属膜を形成する工程と、

熱処理により、前記第 2 の拡散層表面にシリサイド膜を形成する工程と、

未反応の前記金属膜を除去する工程と

を含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置及びその製造方法に係わり、特に、微細化が要求される素子構造に関する。

【0002】

【従来の技術】

MOSFETにおいて、微細かつ高速な素子の実現のために、浅いソース・ドレイン拡散層を形成する要求と、その拡散層上に形成するシリサイド膜による拡散層接合リーク電流の発生の問題を同時に解決できる技術が要求される。この要求を満たす有効な技術として、ソース・ドレイン拡散層上にシリコンをエピタキシャル成長させ、ソース・ドレイン拡散層の表面を元々のシリコン基板の表面よりも迫り上げるエレベータッド・ソース・ドレイン技術がある。

【0003】

このエレベータッド・ソース・ドレイン技術により形成されたエレベータッド・ソース・ドレイン拡散層、及びシリサイド膜を有するMOSFETの製造工程を以下に示す。

【0004】

まず、図26(a)に示すように、STI (Shallow Trench Isolation) 技術等を用いて、シリコン基板10内にシリコン酸化膜からなる素子分離領域11が形成される。この素子分離領域11が形成されていないシリコン基板10上に、酸化技術を用いて厚さが例えば3nmのゲート酸化膜12が形成される。

【0005】

次に、CVD (Chemical Vapor Deposition) 技術を用いて、ゲート酸化膜12上に、将来除去されるダミーのゲートとして、厚さが例えば150nmのポリシリコン13が形成され、このポリシリコン13上に厚さが例えば50nmのシリコン窒化膜14が形成される。その後、リソグラフィ技術を用いてシリコン窒化膜14上にパターニングされたレジスト（図示せず）が形成され、RIE（反応性イオンエッチング）技術を用いてポリシリコン13及びシリコン窒化膜14が選択的に除去され、積層構造からなるダミーゲートが形成される。ここで、ポリシリコン13には、リン（P）、ヒ素（As）等のN型不純物、又はボロン（B）等のP型不純物が注入されてもよい。

【0006】

次に、イオン注入により、シリコン基板10の表面にエクステンション拡散層領域15が形成される。

【0007】

次に、CVD技術により全面にシリコン酸化膜が形成される。その後、図26(b)に示すように、RIE技術によりシリコン酸化膜がエッチングされ、シリコン基板10の表面が露出されるとともに、ポリシリコン13の側面にシリコン酸化膜の側壁16が形成される。

【0008】

図26(c)に示すように、シリコン基板10が露出された領域のみ選択的にシリコンをエピタキシャル成長させ、エレベータッド・ソース・ドレイン拡散層17が形成される。この際、ポリシリコン13の側面はシリコン酸化膜16で形成されているため、結晶成長はポリシリコンの側面においてファセットを生じて成長する。

【0009】

図27(a)に示すように、エレベータッド・ソース・ドレイン拡散層17中の不純物を固相拡散させソース・ドレイン拡散層18が形成される。

【0010】

図27(b)に示すように、全面にコバルト、あるいはチタン等の金属膜が形成された後、シリサイド・プロセス技術を用いて、ダミーゲートをマスクにエレベータッド・ソース・ドレイン拡散層17の表面にコバルト、あるいはチタン等のシリサイド膜19が形成される。その後、ウェットエッチング等により、未反応の金属膜が除去される。

【0011】

次に、CVD法により、全面に例えばシリコン酸化膜等の層間絶縁膜20が形成される。図27(c)に示すように、CMP技術により層間絶縁膜20の平坦化が行われ、ダミーゲート上部のシリコン窒化膜14及びシリコン酸化膜の側壁16の表面が露出される。

【0012】

図28(a)に示すように、例えばリン酸を用いて、ダミーゲート上部のシリコン窒化膜14が層間絶縁膜20に対し選択的に除去される。この際、シリコン酸化膜の側壁16もポリシリコン13表面の高さ程度までエッチングされる。そ

の後、例えばCDE (Chemical Dry Etching) 技術を用いて、ポリシリコン13が層間絶縁膜20、シリコン酸化膜の側壁16に対し選択的に除去される。次に、フッ酸等のウエット処理によりダミーのシリコン酸化膜12が除去され、ゲート電極形成部が全て開口される。

【0013】

図28(b)に示すように、シリコン基板10の酸化、あるいはCVD法等による高誘電体絶縁膜を堆積してゲート絶縁膜21が形成される。その後、全面に導電体であるバリア膜(反応防止膜)として例えばチタン窒化膜22が形成され、このチタン窒化膜22上に金属膜としてタングステン23が形成される。

【0014】

図28(c)に示すように、CMP技術を用いて、チタン窒化膜22及びタングステン23の平坦化が行われ、積層構造のゲート電極24が形成される。

【0015】

【発明が解決しようとする課題】

しかしながら、上記従来技術による半導体装置の製造方法は以下に示す問題を有している。

【0016】

第1の問題として、従来の方法においては、シリコン酸化膜をエッチングし、シリコン基板10の表面を露出するとともにシリコン酸化膜の側壁16を形成する際、RIE技術が用いられている。

【0017】

そのため、図29に示すように、露出したシリコン基板10表面にはエッチングガスの成分としてのカーボン(C)、水素(H)、酸素(O)、フッ素(F)等のいずれかがシリコン基板10に侵入し汚染層25が5乃至30nm程度の深さまで形成される。

【0018】

また、全面に形成されたシリコン酸化膜をシリコン基板10に対して選択的にRIEを行っている。しかしながら、選択比は無限大ではないため、シリコン基板10の露出面はエッチングされて後退する。

【0019】

更に、素子分離領域 11 はシリコン酸化膜で形成されている。このため、R I Eにより素子分離領域 11 もエッチングされて後退し、その結果素子領域のシリコン基板 10 の側面が露出するという問題も発生する。

【0020】

従って、図 30 に示すように、R I Eにより生じた汚染層 25 により、シリコンのエピタキシャル成長が阻害され、エピタキシャル成長が局所的に進まずに低いファセット・エレベータッド・ソース・ドレイン拡散層 26 が形成される。また、汚染層 25 により、エピタキシャル層の中に結晶欠陥が形成されるため、ファセット角がばらついたり、堆積膜厚がばらついてしまうといった問題も発生する。

【0021】

また、上述した汚染層 25 による不純物の拡散抑制等の問題に加え、シリコン基板 10 の表面が R I Eによりエッチングされている。また、そのエッチング量はウエハ面内あるいはゲート・パターン間でばらつきを生じる。このため、ソース・ドレイン拡散層 18 を形成する際、ソース・ドレイン拡散層 18 の深さにばらつきが生じる。このソース・ドレイン拡散層 18 の深さのばらつきは、ゲート長が細くなるにつれて、M O S F E Tのしきい値のばらつきに及ぼす影響が増大する。従って、M O S F E Tの微細化とともに安定な回路の動作が不可能となり、歩留まりが大幅に低下するという問題が生じる。

【0022】

次に、第 2 の問題として、従来の方法においては、図 26 (a) に示すように、イオン注入によってエクステンション拡散層 15 を形成した後、エピタキシャル成長によりエレベータッド・ソース・ドレイン拡散層 17 (図 26 (c)) を形成している。

【0023】

このため、同一のシリコン基板上に N 型と P 型のトランジスタを形成する場合、ソース・ドレイン拡散層内の不純物が異なるため、N 型と P 型のそれぞれの拡散層上のエピタキシャル成長を同じ膜厚に制御することが困難である。また、エ

ピタキシャル成長による熱処理によってエクステンション拡散層 1 5 の領域が広がるという問題も生じる。

【0 0 2 4】

更に、第 3 の問題としては、従来の方法においては、図 2 8 (b) に示すように、ゲート絶縁膜 2 1 を形成する際、エレベーター・ソース・ドレイン拡散層 1 7 表面にシリサイド膜 1 9 が形成されている。

【0 0 2 5】

このため、シリサイド膜 1 9 中のメタルがゲート絶縁膜 2 1 へ混入することによりゲート絶縁膜 2 1 の信頼性劣化が生じる。また、この問題を回避することが極めて困難となる。

【0 0 2 6】

更に、この種のダマシン・ゲート形成技術では、ダミーゲート除去時にチャネル領域のみにイオン注入により不純物を導入することが可能である。しかし、従来の製造方法によると、イオン注入後の活性化の熱工程において、シリサイド膜 1 9 のアグロメレーションによりソース・ドレイン拡散層の抵抗が急激に上昇するという問題が発生し、上記問題と併せて更に製造が困難となる。

【0 0 2 7】

本発明は上記課題を解決するためになされたものであり、その目的とするところは、半導体基板表面の R I E 処理による汚染を防止し、エレベーター・ソース・ドレイン拡散層の膜厚の制御が可能で、且つゲート絶縁膜の信頼性を向上することができる半導体装置及びその製造方法を提供することにある。

【0 0 2 8】

【課題を解決するための手段】

本発明は、前記目的を達成するために以下に示す手段を用いている。

【0 0 2 9】

本発明の半導体装置は、半導体基板上に選択的に形成された第 1 の絶縁膜と、前記第 1 の絶縁膜上に形成されたゲート電極と、前記ゲート電極上に形成された第 2 の絶縁膜と、前記ゲート電極の側面に形成された第 3 の絶縁膜と、前記第 3 の絶縁膜の両側の汚染層を持たない前記半導体基板上に前記半導体基板の表面よ

り高く形成されたファセットを有するソース・ドレイン領域と、前記ソース・ドレイン領域下の前記半導体基板内に形成された拡散層と、前記ソース・ドレイン領域上に形成されたシリサイド膜とを有する。

【0030】

本発明の半導体装置は、半導体基板上に選択的に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の側面に形成された側壁と、前記ゲート絶縁膜の両側の前記半導体基板上に前記半導体基板の表面より高く形成されたソース・ドレイン領域とを有し、前記側壁が誘電率の異なる絶縁膜で形成されている。

【0031】

前記側壁を形成する絶縁膜の少なくとも1層は空気である。

【0032】

本発明の半導体装置は、半導体基板上に選択的に形成されたゲート絶縁膜と、前記ゲート絶縁膜上に形成されたゲート電極と、前記ゲート電極の側面に形成された絶縁膜からなる側壁と、前記ゲート電極の表面に形成された金属酸化膜と、前記ゲート電極の両側に位置する前記半導体基板内に形成された拡散層と、前記拡散層上で前記側壁と接して形成されたソース・ドレイン領域と、前記ソース・ドレイン領域の表面に形成されたシリサイド膜とを有し、前記金属酸化膜の表面と前記シリサイド膜の表面が同じ高さである。

【0033】

前記シリサイド膜は、アルミニウムの融点より低い温度でシリサイドを形成する貴金属を含むシリサイド膜である。また、前記シリサイド膜は、パラジウム、ニッケル、白金、コバルトのいずれか1つからなる金属、あるいはそれらの少なくとも1つを含む合金である。

【0034】

前記ゲート電極の金属は、アルミニウム、チタン、ジルコニウム、ハフニウム、タンタル、ニオブ、バナジウム、あるいはこれらの窒化物のいずれかである。

【0035】

本発明の半導体装置の製造方法は、半導体基板上に第1の絶縁膜を形成する工

程と、前記第 1 の絶縁膜上にゲート電極を選択的に形成する工程と、前記ゲート電極上に第 2 の絶縁膜を選択的に形成する工程と、前記ゲート電極の側面に第 3 の絶縁膜を形成する工程と、リン酸処理により、前記ゲート電極及び前記第 3 の絶縁膜が形成されていない前記半導体基板上の前記第 1 の絶縁膜を除去し、前記半導体基板の表面を露出する工程と、前記露出された半導体基板をエピタキシャル成長し、ファセットを有するエピタキシャル層を形成する工程と、前記エピタキシャル層にイオン注入を行い、第 1 の拡散層を形成する工程と、前記第 1 の拡散層中の不純物を拡散させて、前記半導体基板表面に第 2 の拡散層を形成する工程とを含む。

【 0 0 3 6 】

前記リン酸処理の加熱温度は室温乃至 1 8 0 ℃間である。

【 0 0 3 7 】

前記リン酸処理の加熱温度は 1 6 0 ℃である。

【 0 0 3 8 】

本発明の半導体装置の製造方法は、半導体基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上にダミーゲートを選択的に形成する工程と、前記ダミーゲートの側面に第 2 の絶縁膜を形成する工程と、リン酸処理により、前記ダミーゲート及び前記第 2 の絶縁膜が形成されていない前記半導体基板上の前記第 1 の絶縁膜を除去し、前記半導体基板の表面を露出する工程と、前記露出された半導体基板をエピタキシャル成長し、ファセットを有するエピタキシャル層を形成する工程と、前記エピタキシャル層にイオン注入を行い、第 1 の拡散層を形成する工程と、前記第 1 の拡散層中の不純物を拡散させて、前記半導体基板表面に第 2 の拡散層を形成する工程と、前記第 1 の拡散層表面にシリサイド膜を形成する工程と、全面に層間絶縁膜を形成する工程と、前記層間絶縁膜を平坦化し、前記ダミーゲートの表面を露出する工程と、前記ダミーゲート及び前記第 1 の絶縁膜を除去し、開口を形成する工程と、前記開口にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に反応防止膜を形成する工程と、前記反応防止膜上に金属膜を形成する工程と、前記ゲート絶縁膜及び前記反応防止膜及び前記金属膜を平坦化し、前記層間絶縁膜の表面を露出させる工程とを含む。

【 0 0 3 9 】

前記ゲート絶縁膜はタンタル酸化膜である。前記反応防止膜はチタン窒化膜である。前記金属膜はアルミニウムである。

【 0 0 4 0 】

本発明の半導体装置の製造方法は、半導体基板上に選択的にダミーゲートを形成する工程と、前記ダミーゲートの側面に第 1 の絶縁膜側壁を形成する工程と、前記ダミーゲートの形成されていない前記半導体基板上にエピタキシャル層を形成する工程と、前記エピタキシャル層に不純物を注入し第 1 の拡散層を形成する工程と、前記第 1 の絶縁膜側壁の側面に第 2 の絶縁膜側壁を形成する工程と、前記第 2 の絶縁膜側壁の側面に第 3 の絶縁膜側壁を形成する工程と、前記半導体基板に不純物を注入し前記半導体基板表面に第 2 の拡散層を形成する工程と、全面に第 1 の層間絶縁膜を形成する工程と、前記第 1 の層間絶縁膜を平坦化し、前記ダミーゲートの表面を露出する工程と、前記ダミーゲートを除去し、第 1 の溝を形成する工程と、前記第 1 の溝の底面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上の前記溝内にゲート電極を形成する工程とを含む。

【 0 0 4 1 】

前記ゲート電極を形成した後、前記第 1 の絶縁膜側壁及び第 3 の絶縁膜側壁を除去し、第 2 及び第 3 の溝を形成する工程と、全面に第 2 の層間絶縁膜を形成する工程とを含む。

【 0 0 4 2 】

本発明の半導体装置の製造方法は、半導体基板上に選択的にダミーゲートを形成する工程と、前記ダミーゲートの側面に第 1 の絶縁膜側壁を形成する工程と、前記ダミーゲートの形成されていない前記半導体基板上に前記第 1 の絶縁膜側壁と接する第 1 のエピタキシャル層を形成する工程と、前記エピタキシャル層に不純物を注入し、第 1 の拡散層を形成する工程と、前記第 1 の絶縁膜側壁の側面に第 2 の絶縁膜側壁を形成する工程と、前記第 2 の絶縁膜側壁の側面に第 3 の絶縁膜側壁を形成する工程と、前記第 1 の拡散層上に前記第 2 の絶縁膜側壁と接する第 2 のエピタキシャル層を形成する工程と、前記第 2 のエピタキシャル層に不純物を注入し、第 2 の拡散層を形成する工程と、全面に第 1 の層間絶縁膜を形成す

る工程と、前記第 1 の層間絶縁膜を平坦化し、前記ダミーゲートの表面を露出する工程と、前記ダミーゲートを除去し、第 1 の溝を形成する工程と、前記第 1 の溝の底面にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程とを含む。

【 0 0 4 3 】

前記ゲート電極を形成した後、前記第 1 の絶縁膜側壁及び第 3 の絶縁膜側壁を除去し、第 2 及び第 3 の溝を形成する工程と、全面に第 2 の層間絶縁膜を形成する工程とを含む。

【 0 0 4 4 】

前記第 2 の層間絶縁膜の形成時に、第 2 及び第 3 の溝が埋め込まれる。また、前記第 2 の層間絶縁膜の形成時に、第 2 及び第 3 の溝に空洞が形成される。

【 0 0 4 5 】

本発明の半導体装置の製造方法は、半導体基板上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上に選択的にゲート電極を形成する工程と、前記ゲート電極の側面に第 1 の絶縁膜側壁を形成する工程と、前記ゲート電極及び前記第 1 の絶縁膜側壁の形成されていない前記半導体基板上にエピタキシャル層を形成する工程と、前記エピタキシャル層に不純物を注入し第 1 の拡散層を形成する工程と、前記第 1 の絶縁膜側壁の側面に第 2 の絶縁膜側壁を形成する工程と、前記第 2 の絶縁膜側壁の側面に第 3 の絶縁膜側壁を形成する工程と、前記半導体基板に不純物を注入し前記半導体基板表面に第 2 の拡散層を形成する工程とを含む。

【 0 0 4 6 】

本発明の半導体装置の製造方法は、半導体基板上に第 1 の絶縁膜を形成する工程と、前記第 1 の絶縁膜上にダミーゲートを選択的に形成する工程と、前記ダミーゲートをマスクとして前記半導体基板表面に第 1 の拡散層を形成する工程と、前記ダミーゲートの側面に第 2 の絶縁膜を形成する工程と、フッ酸処理により、前記第 1 の絶縁膜を除去し、前記第 1 の拡散層上の前記半導体基板を露出する工程と、前記露出された半導体基板をエピタキシャル成長し、第 2 の拡散層を形成する工程と、全面に層間絶縁膜を形成する工程と、前記層間絶縁膜を平坦化し、前記ダミーゲートの表面を露出する工程と、前記ダミーゲートを除去する工程と

、第 1 の絶縁膜を除去し、前記半導体基板の表面を露出する工程と、前記露出した半導体基板の表面にゲート絶縁膜を形成する工程と、全面に反応防止膜を形成する工程と、前記反応防止膜上にゲート電極材を形成する工程と、前記第 2 の絶縁膜及び前記反応防止膜及び前記ゲート電極材を平坦化し、前記第 2 の拡散層の表面を露出する工程と、全面に酸化を行い、前記反応防止膜の表面に反応防止膜の酸化物、前記ゲート電極材の表面にゲート電極材の酸化物、前記第 2 の拡散層の表面に酸化膜を形成する工程と、フッ酸処理により、前記第 2 の拡散層の表面の前記酸化膜を除去する工程と、全面に金属膜を形成する工程と、熱処理により、前記第 2 の拡散層表面にシリサイド膜を形成する工程と、未反応の前記金属膜を除去する工程とを含む。

【 0 0 4 7 】

前記未反応の金属膜の除去方法が CMP である。

【 0 0 4 8 】

前記金属膜は、アルミニウムの融点より低い温度でシリサイドを形成する貴金属である。前記金属膜は、パラジウム、ニッケル、白金、コバルトのいずれか 1 つからなる金属、あるいはそれらの少なくとも 1 つを含む合金である。

【 0 0 4 9 】

前記ゲート電極材は、アルミニウム、チタン、ジルコニウム、ハフニウム、タantal、ニオブ、バナジウム、あるいはこれらの窒化物のいずれかである。

【 0 0 5 0 】

【発明の実施の形態】

本発明の実施の形態を以下に図面を参照して説明する。

【 0 0 5 1 】

〔第 1 の実施例〕

従来技術の第 1 の問題にあげたように、シリコンの選択エピタキシャル成長を行う下地のシリコン基板表面は、R I E により結晶損傷やガス不純物汚染を受けるなど理想的な表面になっていないことが判明している。

【 0 0 5 2 】

これまで、ファセット・エレベーター・ソース・ドレイン拡散層構造を形成

するためには、シリコンがエピタキシャル成長する際、ファセットが生じるようにゲート側壁の絶縁膜をシリコン酸化膜で形成する必要があった。そのため、シリコン酸化膜をR I Eによりエッチングして側壁を形成する必要があった。

【0053】

そこで、本発明の第1の実施例によれば、R I E技術を用いることなくシリコン酸化膜の側壁を形成することが可能となる。

【0054】

以下に、第1の問題を解決する方法として、2つの実施例を示す。

【0055】

〔第1の実施例（1）〕

図1（a）に示すように、S T I技術等を用いて、シリコン基板100内に酸化膜からなる素子分離領域101が形成される。この素子分離領域101の形成法は、例えばシリコン基板100上にエッチングマスク材として、バッファ酸化膜（図示せず）を介してシリコン窒化膜（図示せず）を積層形成させる。次に、転写用のレジスト（図示せず）がパターンニングされ、R I Eによりシリコン窒化膜に素子領域のパターンが形成される。このパターンニングされたシリコン窒化膜をマスクとして、素子分離領域101に対応するシリコン基板101がエッチングされる。この後、レジストが除去される。次に、素子分離領域101を含む基板100の全面にシリコン酸化膜などの絶縁膜が堆積され、CMP（Chemical Mechanical Polish：化学的機械研磨）等により、ストッパーとしての前記シリコン窒化膜上面まで平坦化される。その後、シリコン窒化膜とバッファ酸化膜が除去され、素子領域と素子分離領域101とが形成される。

【0056】

次に、C V D法等を用いて、シリコン基板100上にゲート絶縁膜としてシリコン窒化膜102が形成される。ここで、シリコン窒化膜102の膜厚は10nm以下で形成され、3乃至6nm程度に薄く形成されることが望ましい。また、C V Dでは例えば $\text{NH}_3/\text{SiH}_2\text{Cl}_2$ 系、又は $\text{NH}_3/\text{SiCl}_4$ 系、若しくは $\text{NH}_3/\text{Si}_2\text{Cl}_6$ 系のガスが用いられる。この際、シリコン窒化膜102の形成時の温度は、使用するガス系により各々780℃、700℃、450乃至70

0℃である。ここで、窒化層が素子分離領域101とシリコン基板100の界面に形成されることを防ぐには、下地の素子分離領域101とシリコン基板100の界面へのアンモニアの侵入を抑制する必要がある。従って、シリコン窒化膜102の形成時の温度は低温化することが望ましい。また、シリコン窒化膜102の下地としては、3nm以下であれば、自然酸化膜や薬品で形成したシリコン酸化膜であってもよい。

【0057】

次に、CVD法等により、シリコン窒化膜102上にリン又はヒ素若しくはボロン等のN型やP型となる不純物をドーピングした厚さが例えば100乃至150nmのポリシリコン又はアモルファスシリコン103が形成される。その後、CVD法等により、ポリシリコン103上に厚さが例えば50nmのシリコン酸化膜104が形成される。

【0058】

次に、リソグラフィ技術により、シリコン酸化膜104上にパターニングされたレジスト（図示せず）が形成される。その後、このレジストをマスクとして、RIE技術によりポリシリコン103及びシリコン酸化膜104がエッチングされる。この際、RIEは、シリコン窒化膜102がシリコン基板100上の全面に残るような選択比で行われる。これより、シリコン窒化膜102、ポリシリコン103、シリコン酸化膜104の積層構造からなるゲート電極が形成される。

【0059】

この後、図1(b)に示すように、酸化が行われ、ポリシリコン103の側面のみにシリコン酸化膜の側壁105が形成される。この際、シリコン基板100の表面はシリコン窒化膜102により覆われているため、シリコン酸化膜は形成されない。

【0060】

図2(a)に示すように、加熱したリン酸等の薬液を用いてエッチングを行うことにより、シリコン基板100上でゲート電極の下部以外のシリコン窒化膜102が除去される。この際、下地のシリコン基板100及び素子分離領域102を形成する酸化膜がエッチングされないように、リン酸処理の加熱温度は室温か

ら180℃の範囲であり、160℃程度で使用するのが望ましい。このような温度に制御してシリコン窒化膜102を除去することにより、シリコン窒化膜102とシリコン基板100、又はシリコン窒化膜102とシリコン酸化膜104のエッチング選択比を10以上と高めにすることが可能である。

【0061】

図2(b)に示すように、N型やP型不純物の含有量が 10^{19} cm^{-3} 以下のシリコン又はシリコン-ゲルマニウム膜を選択エピタキシャル成長させ、エピタキシャルシリコン層が形成される。その後、このエピタキシャルシリコン層の中の平均不純物濃度が 10^{19} cm^{-3} 以上になるようにN型やP型不純物がイオン注入等の方法で導入される。ここで、150℃/sec以上の高速昇温で900乃至1100℃まで昇温し、60秒以下の熱処理を行ってエピタキシャル層に不純物をドーピングしてもよい。この熱処理の温度を900℃未満にすると、イオン注入された不純物の分布のテイル（最も基板に近い部分）が急峻でなくなり、不純物分布の深さの割に、50nm程度の深さまで 10^{19} cm^{-3} 以上を維持しながら、且つシリコン基板100の内部に形成されるpn接合の深さを50nm以下に制御することが困難になる。

【0062】

このように、シリコン基板100のシリコンを選択エピタキシャル成長させ、ソース・ドレインが形成される領域のシリコン基板100上のみ、選択的にシリコン結晶が成長して、エレベーター・ソース・ドレイン拡散層が形成される。このエレベーター・ソース・ドレイン拡散層は、ゲート電極の下端から離れるに従って、エレベーター・ソース・ドレイン拡散層の高さが増加していくファセット・エレベーター・ソース・ドレイン拡散層106である。

【0063】

この後、熱処理によりファセット・エレベーター・ソース・ドレイン拡散層106中の不純物を固相拡散させて、エクステンション拡散層領域107が形成される。

【0064】

尚、本発明は、上記実施例に限定されるものではない。例えば、シリコン窒化

膜 1 0 2 の形成時の熱工程や大気中の酸素、又は薬品処理等により、シリコン窒化膜 1 0 2 とシリコン基板 1 0 0 との界面に薄いシリコン酸化膜が形成されることもある。このような場合、シリコン基板 1 0 0 の表面を露出させる際、リン酸処理によりシリコン窒化膜 1 0 2 を除去した後に、フッ酸処理によりシリコン酸化膜を除去すればよい。しかし、このフッ酸処理によってシリコン酸化膜 1 0 5 及び素子分離領域 1 0 1 も同時にエッチングされる。従って、これらを防止するために、このシリコン酸化膜の膜厚は 3 n m 程度以下の薄膜にすることが望ましい。

【 0 0 6 5 】

また、上記シリコン窒化膜 1 0 2 はチタン酸化膜等の金属酸化膜でもよい。例えば、チタン酸化膜はフッ酸に不溶で熱硫酸に可溶のため、シリコン窒化膜と同様の効果を得ることができる。

【 0 0 6 6 】

以上のように、上記第 1 の実施例 (1) によれば、R I E ではなくリン酸の薬液処理により、基板上に形成されたシリコン窒化膜等の絶縁膜を除去している。このため、ソース・ドレイン用の選択エピタキシャル成長を行うシリコン基板表面にダメージを与えることなく露出でき、且つゲートの側壁がシリコン酸化膜 1 0 5 で覆われた構造を形成できる。また、リン酸を用いるため、従来技術のように素子分離領域 1 0 1 がエッチングされることもないため、素子分離領域 1 0 1 の後退等の問題はほとんどない。従って、ゲートの側壁がシリコン酸化膜である場合も、ゲート電極の下端から離れるに従って、エレベーター・ソース・ドレイン拡散層の高さが増加していくファセット・エレベーター・ソース・ドレイン拡散層 1 0 6 を形成することができる。

【 0 0 6 7 】

〔 第 1 の実施例 (2) 〕

実際に量産する M O S F E T としては、ゲート電極及びソース・ドレイン拡散層の低抵抗化、ゲート絶縁膜の高誘電率化、N 型 M O S F E T と P 型 M O S F E T の同一ウエハ内での作り分けが必要である。

【 0 0 6 8 】

そこで、第1の実施例(2)では、ゲートがメタル電極、ゲート絶縁膜が高誘電体膜、ソース・ドレイン拡散層上部にはシリサイドを形成したMOSFETの製造方法について以下説明する。

【0069】

図3(a)に示すように、STI技術等を用いて、シリコン基板110内に酸化膜からなる素子分離領域111が形成される。

【0070】

次に、CVD法等を用いて、シリコン基板110上に厚さが例えば6nmの薄い第1のシリコン窒化膜112が形成される。

【0071】

次に、CVD法等により第1のシリコン窒化膜112上に厚さが例えば150nmのポリシリコン113が形成され、このポリシリコン113上に例えば50nmの第2のシリコン窒化膜114が形成される。ここで、ポリシリコン113は将来除去されるダミーゲートであるため、不純物のドーピングの必要はない。

【0072】

次に、リソグラフィ技術により、第2のシリコン窒化膜114上にパターニングされたレジスト(図示せず)が形成される。その後、このレジストをマスクとして、RIE技術によりポリシリコン113及び第2のシリコン窒化膜114がエッチングされる。この際、RIEは、第1のシリコン窒化膜112がシリコン基板110上の全面に残るような選択比で行われる。これにより、第1のシリコン窒化膜112、ポリシリコン113、第2のシリコン窒化膜114の積層構造からなるゲート電極構造が形成される。

【0073】

次に、図3(b)に示すように、酸化が行われ、ポリシリコン113の側面のみ第1のシリコン酸化膜115が形成される。この際、シリコン基板110の表面は第1のシリコン窒化膜112により覆われているため、第1のシリコン酸化膜は形成されない。

【0074】

以下の製造工程ではN型MOSFETとP型MOSFETが別々に形成される

。図4 (a) において、領域AはN型MOSFET、領域BはP型MOSFETを示している。

【0075】

図4 (a) に示すように、リソグラフィ技術により、領域B上のみにパターニングされたレジスト116が形成される。その後、このレジスト116をマスクとして、リン酸により第1のシリコン窒化膜112のウェットエッチングが行われ、領域Aのシリコン基板の表面117が露出される。この際、第2のシリコン窒化膜114もエッチングされるが、そのエッチング量は第1のシリコン窒化膜112が薄膜のため微量であり問題ない。

【0076】

次に、硫酸と過酸化水素水の混合液によりレジスト116が剥離される。この際、領域Aのシリコン基板の表面117に自然酸化膜（図示せず）が形成される。その後、エピタキシャル成長を行う装置で高温の水素を含むアニールにより自然酸化膜は除去される。この際、領域Bのシリコン基板110上は、第1のシリコン窒化膜112で覆われているので、このアニールによる酸化膜の除去プロセスに対しても何らエッチングされることはない。

【0077】

図4 (b) に示すように、リン又はヒ素等のN型半導体となる不純物を含むシリコンの選択エピタキシャル成長を行うことで、領域Aのシリコン基板117上のみにシリコンが選択的に結晶成長し、またゲート側面が第1のシリコン酸化膜115であるためゲート側面はファセットを生じて結晶成長し、N型のファセット・エレベータード・ソース・ドレイン拡散層118が形成される。このN型のファセット・エレベータード・ソース・ドレイン拡散層118の高さはダミーゲートのポリシリコン113の高さ以下になるようにする。この後、レジスト116が除去される。

【0078】

次に、図5 (a) に示すように、全面に厚さが例えば3 nmの薄い第3のシリコン窒化膜119が形成される。

【0079】

次に、図4 (a)と同様に、リソグラフィ技術により、領域A上のみにパターンニングされたレジスト（図示せず）が形成される。その後、このレジストをマスクとして、リン酸により第3のシリコン窒化膜119及び第1のシリコン窒化膜112のウエットエッチングが行われる。これより、図5 (b)に示すように、領域Bのシリコン基板の表面120が露出される。このエッチング時に第2のシリコン窒化膜114もエッチングされるが、そのエッチング量は第1のシリコン窒化膜112が薄膜のため微量であり問題ない。

【0080】

次に、硫酸と過酸化水素水の混合液によりレジストが剥離される。この際、領域Bのシリコン基板の表面120に自然酸化膜（図示せず）が形成される。その後、エピタキシャル成長を行う装置で高温の水素を含むアニールにより自然酸化膜は除去される。この際、領域Aにおいては、第3のシリコン窒化膜119で覆われているので、このアニールによる酸化膜の除去プロセスに対しても何らエッチングされることはない。

【0081】

図6 (a)に示すように、ボロン等のP型半導体となる不純物を含むシリコンの選択エピタキシャル成長を行うことで、領域Bのシリコン基板の表面120のみにP型のファセット・エレベータード・ソース・ドレイン拡散層121が形成される。この際、領域Aは第3のシリコン窒化膜119に覆われているため、選択エピタキシャル成長は起こらない。また、P型のファセット・エレベータード・ソース・ドレイン拡散層121の高さもN型のファセット・エレベータード・ソース・ドレイン拡散層118と同様に、ダミーゲートのポリシリコン113の高さ以下になるようにする。

【0082】

次に、第3のシリコン窒化膜119が除去される。この際、第2のシリコン窒化膜114もエッチングされるが、そのエッチング量は微量であり問題ない。

【0083】

図6 (b)に示すように、CVD法により、全面に厚さが例えば40nmの第2のシリコン酸化膜122が形成される。

【0084】

次に、熱処理を行うことで、N型のファセット・エレベータッド・ソース・ドレイン拡散層 1 1 8 及び P 型のファセット・エレベータッド・ソース・ドレイン拡散層 1 2 1 のそれぞれの中に含まれる不純物の固相拡散が行われ、シリコン基板 1 1 0 上にエクステンション拡散層 1 2 3 が形成される。ここで、N型と P 型の不純物の固相拡散量が違いが大きすぎて同時の熱処理を行えない場合は、まず、例えば図 5 (a) に示す工程において、ヒ素等の拡散速度の遅い N 型不純物のみをある程度的高温によって固相拡散を行う。その後、本工程にてボロン等の拡散速度の速い P 型不純物の拡散を行えばよい。

【0085】

図 7 (a) に示すように、R I E 技術を用いて第 2 のシリコン酸化膜 1 2 2 のエッチバックが行われ、後述するシリサイドを形成する N 型のファセット・エレベータッド・ソース・ドレイン拡散層 1 1 8 及び P 型のファセット・エレベータッド・ソース・ドレイン拡散層 1 2 1 の上面が露出される。この際、第 2 のシリコン酸化膜 1 2 2 は、ゲートの側壁及びファセット・エレベータッド・ソース・ドレイン拡散層 1 1 8、1 2 1 の側壁に残る。

【0086】

次に、全面にチタン、あるいはコバルト等の金属膜が堆積される。その後、図 7 (b) に示すように、シリサイド・プロセス技術により、ファセット・エレベータッド・ソース・ドレイン拡散層 1 1 8、1 2 1 の上面にのみシリサイド層 1 2 4 が選択的に形成される。

【0087】

次に、C V D 法により、全面に酸化膜からなる層間絶縁膜 1 2 5 が堆積される。その後、図 8 (a) に示すように、層間絶縁膜 1 2 5 が例えば C M P 法を用いて平坦化がされ、ダミーゲート上の第 2 のシリコン窒化膜 1 1 4 の表面が露出される。この際、ファセット・エレベータッド・ソース・ドレイン拡散層 1 1 8、1 2 1 はダミーゲートのポリシリコン 1 1 3 の高さ以下に形成しているため、ファセット・エレベータッド・ソース・ドレイン拡散層 1 1 8、1 2 1 の上面のシリサイド 1 2 4 は露出しない。

【0088】

図8(b)に示すように、リン酸によるウエットエッチング技術により、第2のシリコン窒化膜114が層間絶縁膜125に対して選択的に除去される。その後、CDE又は混酸等のウエットエッチングにより、ポリシリコン113が層間絶縁膜125と第1のシリコン酸化膜115と第1のシリコン窒化膜112に対して選択的に除去される。次に、リン酸により、第1のシリコン窒化膜112が層間絶縁膜125と第1のシリコン酸化膜115に対して選択的にエッチングされる。これより、ダミーゲート電極が除去されてゲート電極形成部が開口される。

【0089】

次に、図8(c)に示すように、全面に高誘電体ゲート絶縁膜として厚さが例えば10nmのタンタル酸化膜126がCVD法等を用いて形成される。このタンタル酸化膜126上に、厚さが例えば10nmの導電体であるバリア膜（反応防止膜）としてのチタン窒化膜127が形成される。その後、チタン窒化膜127上に、ゲート電極としてアルミニウム128が形成され、開口したゲート電極形成部が埋め込まれる。

【0090】

この後、図8(c)に示すように、CMP技術等を用いてアルミニウム128、チタン窒化膜127、タンタル酸化膜126が平坦化され、層間絶縁膜125の表面が露出されて、ゲート電極が形成される。

【0091】

以上のように、上部にシリサイドが形成されたファセット・エレベータッド・ソース・ドレイン拡散層構造のソース・ドレイン拡散層を持ち、且つゲート絶縁膜が高誘電体膜、ゲート電極がメタルゲートの構造を持つN型とP型のMOSFETを形成することができる。

【0092】

尚、本発明は、上記実施例に限定されるものではない。ゲート絶縁膜を形成するシリコン基板110の表面は、第1のシリコン窒化膜112が図8(b)の工程において除去されるまで形成されている。よって、少なくとも第1のシリコン

窒化膜 112 が形成された工程 (図 3 (a)) からこの膜が除去される工程 (図 8 (b)) の間において、高温の熱処理を加えることで、図 8 (b) の工程において第 1 のシリコン窒化膜 112 が除去されて露出したシリコン基板表面にはシリコン熱窒化膜層が形成される。そこで、ゲート絶縁膜としてこの熱窒化膜層、又は更に酸化を行って、シリコン熱窒化酸化膜層、若しくはこれらのシリコン熱窒化膜層やシリコン熱窒化酸化膜上に高誘電体膜を成膜した積層構造のゲート絶縁膜を形成することも可能である。

【0093】

また、上記シリコン窒化膜 112 はチタン酸化膜等の金属酸化膜でもよい。例えば、チタン酸化膜はフッ酸に不溶で熱硫酸に可溶のため、シリコン窒化膜と同様の効果を得ることができる。

【0094】

以上のように、上記第 1 の実施例 (2) によれば、シリコン基板上にシリコンの熱酸化膜を形成することなく、ウェットエッチング処理においてシリコン酸化膜とお互いに選択比のある、例えばシリコン窒化膜 112 を形成している。従って、ウェットエッチング処理によりシリコン窒化膜 112 を除去できるため、シリコン基板 110 の表面 120 にダメージを与えることなく表面 120 を露出できる。すなわち、ウェットエッチング処理等で一部の領域のシリコン酸化膜の除去が必要なプロセスでは、シリコン窒化膜がエッチングを望まないシリコン酸化膜のバリア膜となる。また、シリコン基板を露出するためにシリコン窒化膜をウェット処理により除去する際は、リン酸処理を行うことによってシリコン酸化膜はエッチングされない。従って、種々の処理に適用できる。

【0095】

〔第 2 の実施例〕

次に、本発明の第 2 の実施例について説明する。

【0096】

次に、従来技術の第 2 の問題にあげたように、エクステンション拡散層を形成した後、エピタキシャル成長によるエレベーター・ソース・ドレイン拡散層を形成する場合、N 型、P 型の拡散層の不純物の相異により、成長した膜厚を等し

くすることが困難であることが判明している。

【0097】

そこで、この問題を回避するために、第2の実施例では、エピタキシャル成長によるエレベーター・ソース・ドレイン拡散層の形成を行った後に、エクステンション拡散層の形成が行われる。

【0098】

以下に、第2の問題を解決する方法として、2つの実施例を示す。

【0099】

[第2の実施例(1)]

図9(a)に示すように、シリコン基板200内に、STI技術を用いて、素子分離領域(図示せず)が形成される。

【0100】

次に、必要に応じて、トランジスタが形成される領域の全面に不純物を注入することにより、トランジスタのチャネル部分の不純物濃度の調整が行われる。

【0101】

次に、シリコン基板200上にバッファ酸化膜(図示せず)が形成され、このバッファ酸化膜上に非結晶又は多結晶シリコン膜(ポリシリコン)201が形成される。このポリシリコン201上にシリコン窒化膜202が形成される。その後、シリコン窒化膜202上にパターニングされたレジスト(図示せず)が塗布され、このレジストをマスクとして異方性エッチングによりシリコン窒化膜202とポリシリコン201が選択的に除去され、図9(a)に示すように、ダミーゲートが形成される。その後、レジストが除去される。

【0102】

次に、必要に応じてダミーゲートを酸化させた後、全面に厚さが例えば10nmのシリコン窒化膜が形成される。その後、図9(b)に示すように、異方性エッチングによりシリコン窒化膜がエッチングされ、ダミーゲートの側面部分に極薄の第1のシリコン窒化膜の側壁203が形成される。

【0103】

図9(c)に示すように、ソース・ドレイン形成領域のシリコン基板200表

面を希フッ酸処理と高温水素処理（例えば 900°C 、 5 min ）によって洗浄し、シリコンを選択的に例えば 30 nm エピタキシャル成長させ、エピタキシャルシリコン層 204 が形成される。この際、ダミーゲート上面はシリコン窒化膜 202 に覆われているため、シリコンはエピタキシャル成長しない。また、ダミーゲートの側面はシリコン窒化膜 203 で覆われているため、エピタキシャルシリコン層にファセットは生じない。

【0104】

図 10 (a) に示すように、不純物イオンが注入され、ソース・ドレイン拡散層から伸びるエクステンション拡散層 205 が形成される。拡散層の設計方法は深さ方向の伸びが、シリコンエピタキシャル成長させたエピタキシャルシリコン層 204 分だけ余裕を持つことになり通常のイオン注入技術の範囲で実現できる。例えば、 n 型拡散層を形成する条件は、不純物がヒ素 (As)、加速電圧が 20 KeV 、ドーズ量が $1 \times 10^{15}\text{ cm}^{-2}$ である。ここで、エクステンション拡散層 205 を活性化するためのアニール条件は、例えば温度が 800°C 、処理時間が例えば 10 秒である。また、不純物はヒ素に限らずリン (P) でもよく、 P 型拡散層を形成する場合はボロン (B) やフッ化ボロン (BF_2) 等を用いることによって実現できる。尚、それらのイオン種においてイオンの注入条件は異なる。また、第 1 のシリコン窒化膜の側壁 203 は薄く形成されているため、エクステンション拡散層 205 は、ダミーゲートの端部まで十分に形成することができる。

【0105】

次に、必要に応じて全面にシリコン酸化膜がエッチングストッパーとして形成され、このシリコン酸化膜上に厚さが例えば 50 nm のシリコン窒化膜が形成される。

【0106】

図 10 (b) に示すように、異方性エッチングによりシリコン酸化膜がエッチングされ、ダミーゲート側面部分にシリコン酸化膜の側壁 206 及び第 2 のシリコン窒化膜の側壁 207 が形成される。

【0107】

図10(c)に示すように、イオン注入により、第2のシリコン窒化膜の側壁207をマスクとしてソース・ドレイン拡散層208が形成される。ここで、ソース・ドレインを活性化するためのアニール条件は、温度が例えば1000℃、処理時間が例えば10秒である。

【0108】

次に、図11(a)に示すように、全面に層間絶縁膜209が形成される。その後、CMP等により、層間絶縁膜209が平坦化され、ダミーゲート上面のシリコン窒化膜202の表面が露出される。ここで、平坦化にはCMPを用いたがエッチバックでもよい。

【0109】

図11(b)に示すように、熱リン酸処理により、シリコン窒化膜202が除去されポリシリコン201の表面が露出されるとともに、このポリシリコン201の表面が露出される位置まで第1及び第2のシリコン窒化膜の側壁が除去される。

【0110】

図11(c)に示すように、CDEにより、ダミーゲートのポリシリコン201が除去され、溝210が形成される。その後、希フッ酸処理により、バッファとして形成したシリコン酸化膜(図示せず)が除去され、シリコン基板200表面が露出される。ここで、ダミーゲートを除去した際に、バッファ酸化膜越しにイオン注入することで局所的なしきい値調整を行うこともできる。

【0111】

図12(a)に示すように、露出されたシリコン基板200の表面を酸化させるか、又は絶縁膜(例えば酸化タンタル)を堆積させることによってゲート絶縁膜211が形成される。ここで、ゲート絶縁膜211は酸化タンタルに限らず、誘電率の高い絶縁膜であればよい。次に、全面に導電体であるバリア膜(反応防止膜)としてのチタン窒化膜212が形成され、このチタン窒化膜212上に金属膜としてタングステン(W)213が形成され、溝210が埋め込まれる。ここで、金属膜はタングステンに限らず、アルミニウム(Al)や銅(Cu)等の他の金属でも可能である。また、反応防止膜はチタン窒化膜に限らず、窒化タン

グステン、窒化タンタルでもよい。尚、電極自体が金属でなく、リンを含んだポリシリコンの場合は反応防止膜を必要としない。

【0112】

次に、CMP等により平坦化することで、溝210にゲート電極214が形成される。ここで、平坦化にはCMPを用いたがエッチバックでもよい。また、ゲート部分に関しては、CMPで平坦化を行わずに、パターニングとエッチングによりゲート電極を形成してもよい。

【0113】

その後、通常のトランジスタの形成工程に従ってもよいが、後述するように、側壁を除去する工程を加えることで、より高性能なトランジスタを形成することができる。

【0114】

まず、図12(b)に示すように、第1及び第2のシリコン窒化膜の側壁203、204が除去される。その後、全面に例えばTEOS等の層間絶縁膜218が形成される。

【0115】

ここで、ゲート電極214の高さが例えば30nm、第1のシリコン窒化膜の側壁203の厚さが例えば20nmの場合(条件1)、図13(a)に示すように、溝217は層間絶縁膜218によってほぼ埋め込まれる。また、ゲート電極214の高さが例えば100nm、第1のシリコン窒化膜の側壁203の厚さが例えば10nmの場合(条件2)、そのアスペクト比が10になるため、図13(b)に示すように、溝217は層間絶縁膜218によって全ては埋め込まれず、空洞219が形成される。このように、空洞219が形成されることにより、低誘電率化が実現でき誘電特性が向上する。

【0116】

また、図14(a)に示すように、シリコン窒化膜の側壁206aの側壁にシリコン酸化膜の側壁207aが形成された場合、シリコン窒化膜の側壁203、206aが除去され、図14(b)に示すように溝217aが形成される。ここで、条件1の場合、図15(a)に示すように層間絶縁膜218によって溝21

7aは埋め込まれ、条件2の場合、図15(b)に示すように空洞219aが形成される。このように、空洞219aが形成されることにより、低誘電率化が実現でき誘電特性が向上する。

【0117】

尚、本発明は、上記実施例に限定されるものではない。例えば、図5に示す工程後、イオン注入を行う前に、図16(a)、図17(a)に示すように、エクステンション拡散層205を選択エピタキシャル成長させ、エピタキシャルシリコン215、216を形成してもよい。その後、図16(b)、図17(b)に示すように、イオン注入によりソース・ドレイン拡散層208が形成される。

【0118】

ここで、ソース・ドレイン拡散層208部分にシリサイド層を形成する場合、シリサイド反応はシリコンを消費して行われる。このため、上記実施例のように、予めソース・ドレイン拡散層208部分を嵩上げしておくという狙いがある。また、シリサイド層を形成しない場合であっても、ソース・ドレイン拡散層208の深さに余裕があるため、不純物を高濃度にイオン注入することができ、コンタクト抵抗の低減に有効である。

【0119】

以上のように、上記第2の実施例(1)によれば、エクステンション拡散層の形成前にエピタキシャルシリコン層を形成する。このため、同一基板にN型、P型のトランジスタを形成する場合、N型、P型上のエピタキシャル成長を同じ膜厚に制御することが容易となる。また、エピタキシャル成長の熱処理によるエクステンション拡散層の広がりも防止できる。

【0120】

〔第2の実施例(2)〕

第2の実施例(2)は、ダマシンプロセスを用いない通常のポリシリコンゲート電極を用いたトランジスタに関するものである。

【0121】

まず、図18(a)に示すように、第2の実施例(1)と同様に、シリコン基板220内に図示しない素子領域と素子分離領域が形成される。必要に応じて、

所定の領域に不純物イオンが注入され、形成するトランジスタのしきい値の調整が行われる。

【0 1 2 2】

次に、シリコン基板 2 2 0 の表面が酸化され、素子領域上にゲート酸化膜 2 2 1 が形成され、全面にポリシリコン 2 2 2 が形成される。その後、ポリシリコン 2 2 2 上にパターニングされたレジスト（図示せず）が形成される。

【0 1 2 3】

その後、図 1 8 (a) に示すように、レジストをマスクとして、異方性エッチングによりポリシリコン 2 2 2 が選択的に除去され、ゲート電極が形成される。ここでゲート電極はポリシリコン（多結晶シリコン）に限らず、非結晶シリコンでもよい。また、予め例えばリン等の不純物をドーブした多結晶シリコンや、更にその上にタングステンを堆積させた積層膜であってもよい。

【0 1 2 4】

次に、ゲート電極を例えば 5 nm 程酸化させ、エッチングダメージが除去される。その後、全面に厚さが例えば 1 0 nm のシリコン窒化膜が形成される。次に、図 1 8 (b) に示すように、異方性エッチングによりシリコン窒化膜がエッチングされ、ポリシリコン 2 2 2 の側面に第 1 のシリコン窒化膜の側壁 2 2 3 が形成される。

【0 1 2 5】

次に、希フッ酸処理と熱水素処理が行われ、ソース・ドレイン部分のシリコン基板 2 2 0 が露出されると同時に洗浄化される。

【0 1 2 6】

図 1 8 (c) に示すように、シリコンを選択的に例えば 3 0 nm エピタキシャル成長させ、基板 2 0 0 上にエピタキシャルシリコン層 2 2 4 が形成される。尚、ポリシリコン 2 2 2 の上面部にもシリコンが成長する場合があるがトランジスタ特性には影響しない。ここで、ポリシリコン 2 2 2 の側壁はシリコン窒化膜 2 2 3 で形成されているため、エピタキシャルシリコン層 2 2 4 にファセットは生じない。

【0 1 2 7】

図 19 (a) に示すように、エピタキシャルシリコン層 224 に不純物のイオンが注入され、ソース・ドレイン拡散層から伸びるエクステンション拡散層 225 が形成される。拡散層の設計方法は深さ方向の伸びが、シリコンエピタキシャル成長させたエピタキシャルシリコン層 224 分だけ余裕を持つことになり通常のイオン注入技術の範囲で実現できる。例えば、N 型拡散層を形成する場合の条件は、例えば不純物をヒ素 (As) として、加速電圧が 20 KeV、ドーズ量が $1 \times 10^{15} \text{ cm}^{-2}$ である。ここで、エクステンション拡散層 225 を活性化するためのアニール条件は、温度が例えば 800℃、処理時間が例えば 10 秒で行われる。

【0128】

次に、必要に応じて全面にエッチングストッパーとしてのシリコン酸化膜が形成され、このシリコン酸化膜上に厚さが例えば 50 nm のシリコン窒化膜が形成される。

【0129】

図 19 (b) に示すように、異方性エッチングにより、ポリシリコン 222 の側面部分にシリコン酸化膜の側壁 226 及び第 2 のシリコン窒化膜の側壁 227 が形成される。

【0130】

図 19 (c) に示すように、イオン注入により、第 2 のシリコン窒化膜の側壁 227 をマスクとしてソース・ドレイン拡散層 228 が形成される。ここで、ソース・ドレイン拡散層 228 とゲート電極を活性化するためのアニール条件は、温度が例えば 1000℃、処理時間が例えば 10 秒である。

【0131】

尚、本発明は、上記実施形態に限定されるものではない。例えば、図 19 (b) に示す工程後、イオン注入を行う前に、エクステンション拡散層 225 を選択エピタキシャル成長させ、更にエピタキシャルシリコンを形成してもよい。すなわち、ソース・ドレイン拡散層 228 部分にシリサイド層を形成する場合、シリサイド反応はシリコンを消費して行われる。このため、上記のように、予めソース・ドレイン拡散層 228 部分を嵩上げしておくことにより、シリサイド反応時

におけるシリコンの不足を防止できるという狙いがある。また、ポリシリコンで形成されたゲート電極はこの時点で不純物が注入され、ゲート配線として使用することができる。

【0132】

以上のように、上記第2の実施例(2)によれば、エクステンション拡散層の形成前にエピタキシャルシリコン層を形成する。このため、同一基板にN型、P型のトランジスタを形成する場合、N型、P型上のエピタキシャル成長を同じ膜厚に制御することが容易となる。また、エピタキシャル成長の熱処理によるエクステンション拡散層の広がりも防止できる。

【0133】

[第3の実施例]

次に、本発明の第3の実施例について説明する。

【0134】

次に、従来技術の第3の問題にあげたように、シリサイド膜を形成した後、ゲート絶縁膜を形成する場合、シリサイド膜中のメタルがゲート絶縁膜へ混入することによりゲート絶縁膜の信頼性劣化が生じることが判明している。

【0135】

そこで、この問題を回避するために、第3の実施例では、ゲート絶縁膜の形成を行った後に、シリサイド膜が形成される。すなわち、第3の実施例では、ソース・ドレイン拡散層上にシリサイド膜を形成する前に、ゲート絶縁膜を形成し、且つダマシン・ゲート形成プロセスを用いたメタル単層のゲート構造を持つMOSFETの製造方法を示す。

【0136】

まず、図20(a)に示すように、半導体基板300内に素子分離領域301が形成され、将来除去されるダミーのゲートとして、半導体基板300上に厚さが例えば6nmのゲート酸化膜301が形成される。このゲート酸化膜301上に厚さが例えば250nmのポリシリコン303が形成され、このポリシリコン303上に厚さが例えば50nmの第1のシリコン窒化膜304が形成される。その後、パターニングされたレジスト(図示せず)が形成され、このレジストを

マスクとしてポリシリコン 303 及び第 1 のシリコン窒化膜 304 が選択的に除去され、積層構造からなるダミーゲートが形成される。次に、不純物イオンを注入することにより、半導体基板 300 内にエクステンション拡散層領域 305 が形成される。その後、全面にシリコン窒化膜が形成され、異方性エッチングによりダミーゲートの側壁に幅が例えば 40 nm の第 2 のシリコン窒化膜の側壁 306 が形成される。

【0137】

図 20 (b) に示すように、フッ酸処理により、基板上のゲート酸化膜が除去され、ソース・ドレイン領域上のみ半導体基板 300 が露出される。この露出された半導体基板 300 の領域のみ選択的にシリコンをエピタキシャル成長させ、高さが半導体基板 300 の表面から 70 nm 程度のエレベーターテッド・ソース・ドレイン拡散層 307 が形成される。ここで、ダミーゲートの側壁はシリコン窒化膜 306 で形成されているため、エレベーターテッド・ソース・ドレイン拡散層 307 にファセットは生じない。その後、イオン注入技術によりソース・ドレイン拡散層領域（図示せず）が形成される。この際、図 20 (a) に示す工程においてエクステンション拡散層領域 305 を形成したが、これは行わずに本工程のソース・ドレイン拡散層領域形成時に不純物の固相拡散によりエクステンション拡散層領域 305 を形成しても何ら問題はない。

【0138】

図 20 (c) に示すように、全面に層間絶縁膜 308 が形成され、この層間絶縁膜 308 は CMP 技術により平坦化され、ダミーゲートの上面の第 1 のシリコン窒化膜 304 及び第 2 のシリコン窒化膜 304 の表面が露出される。ここで、エレベーターテッド・ソース・ドレイン拡散層 307 上面は、ダミーゲート上面より高さが低いため露出しない。

【0139】

次に、リン酸により第 1 のシリコン窒化膜 304 が除去され、CDE 又は混酸等のウェットエッチングによりポリシリコン 303 が除去される。また、フッ酸処理によりダミーのゲート酸化膜 302 が除去され、ゲート形成部が開口される。

【0140】

図21(a)に示すように、酸化、又はCVD法による高誘電体絶縁膜の堆積によりゲート形成部の開口にゲート絶縁膜309が形成される。ここで、ソース・ドレイン上にシリサイド膜は形成されないで、メタルのない状態でゲート絶縁膜を形成することができる。また、ゲート形成部を開口した際に、イオン注入とその活性化工程を加えても従来技術のようにメタル混入によるゲート絶縁膜の信頼性低下の問題は生じない。よって、ゲートを開口した後にチャネル領域のイオン注入を行えば、この工程の後に、ソース・ドレイン拡散層形成等の高温の熱工程は存在しないため、非常に急峻な不純物のデプス・プロファイルを持つチャネル構造の形成も可能である。

【0141】

図21(b)に示すように、全面に導電体であるバリア膜（反応防止膜）としての例えばチタン窒化膜310が形成され、このチタン窒化膜310上に、CVD法によりゲート電極材料となる金属として例えばアルミニウム311が形成される。

【0142】

図21(c)に示すように、CMP法を用いて、アルミニウム311、チタン窒化膜310、ゲート絶縁膜309、第2のシリコン窒化膜の側壁306が平坦化され、エレベータッド・ソース・ドレイン拡散層307の上面が露出され、ゲート電極312が形成される。

【0143】

図22(a)に示すように、酸化が行われ、ゲート電極312の上部にアルミ酸化膜313、チタン酸化膜314が形成され、エレベータッド・ソース・ドレイン拡散層307上にはシリコン酸化膜315が形成される。

【0144】

図22(b)に示すように、フッ酸によりエレベータッド・ソース・ドレイン拡散層307上のシリコン酸化膜315が除去される。この際、アルミ酸化膜313、チタン酸化膜314はフッ酸に不溶のため除去されない。

【0145】

図22(c)に示すように、全面に金属膜316が形成される。ここで、金属膜316はアルミニウムの融点より低い温度でシリサイドを形成する貴金属（パラジウム、ニッケル、白金、コバルト）のいずれか1つからなる金属、あるいはそれらの少なくとも1つを含む合金とする。

【0146】

その後、熱処理により、エレベーター・ソース・ドレイン拡散層307の表面に厚さが例えば40nmのシリサイド膜317が形成される。この際、ゲート電極312の表面にはアルミ酸化膜313、チタン酸化膜314が形成されているのでシリサイド反応は起こらない。このため、エレベーター・ソース・ドレイン拡散層307領域のみに選択的にシリサイド反応が起こる。また、リーク電流を防止するために、シリサイド膜317はエクステンション拡散層領域305の底面から少なくとも60nm上方に形成する必要がある。この際、エクステンション拡散層領域305のシリコン基板300表面からの深さは50nm乃至60nmとする。

【0147】

図23に示すように、シリサイド反応をしていない未反応金属316が除去される。この際、除去方法としてウェットエッチング等も考えられるが、未反応金属316が平坦な面に形成されているため、CMP等の平坦化プロセスを用いて未反応金属316を除去することができる。

【0148】

このように、シリサイド・プロセスにおける未反応金属の選択的除去を、従来のようなウェットプロセスによる薬液処理ではなく、CMP等の平坦化プロセスで除去することが可能となった。そのため、従来のウェットエッチングによる方法での選択性の崩れ等によるメタル残りやゲート電極消失、あるいはシリサイドの溶解等の問題はなく、様々な未反応金属の除去を容易に行える。

【0149】

従って、これまでウェットプロセスでの選択エッチングが難しいことから、製品に採用されていなかったパラジウム等の金属も用いることができる。

【0150】

このパラジウムのシリサイドは、現在量産展開されているチタンシリサイドやコバルトシリサイドのようにシリサイドに対して有利な点がある。

【0 1 5 1】

すなわち、パラジウムはシリサイド化するとパラジウムシリサイド (Pd_2Si) が形成される。このシリサイド時に消費されるシリコンの膜厚 D_{Si} と形成されたシリサイドの膜厚 D_{silicide} の比を A 、すなわち $A = D_{\text{Si}} / D_{\text{silicide}}$ とする。すると、現在量産されているチタンシリサイドやコバルトシリサイドは $A \approx 1$ であるのに対し、パラジウムシリサイドは $A \approx 0.5$ である。

【0 1 5 2】

つまり、パラジウム等の貴金属はシリサイド形成時に消費するシリコンの量が、チタンやコバルトがシリサイド形成時に消費するシリコンの量より少ない。ここで、熱反応によるシリサイドの形成では消費するシリコンが多くなるにつれて、図 2 4 に示すように、シリコンとシリサイドの界面のモフォロジーが劣化する。このため、拡散層のリーク電流が増加するという問題が生じる。従って、シリコン消費量のより少ないパラジウムシリサイド等を用いることができる CMP 等の平坦化が行えることより、このようなリーク電流を防止できる。

【0 1 5 3】

尚、パラジウムのようにシリサイド時のシリコン消費量の少ない金属として、プラチナ ($A \approx 0.7$, PtSi) がある。

【0 1 5 4】

また、第 3 の実施例による構造であれば、図 2 3 に示す工程後のコンタクトホール形成工程において、以下のような利点がある。

【0 1 5 5】

まず、上面が平坦であるため、層間絶縁膜の R I E が容易となり、また、層間絶縁膜は薄く形成することができる。これより、コンタクトホールのアスペクト比が小さくなるため、コンタクトホールの埋め込みも容易となる。また、CMP 等の平坦化工程、及び層間絶縁膜のリフロー工程が省略可能となる。

【0 1 5 6】

以上のように、第3の実施例によれば、以下のような結果が得られた。

【0157】

図25に、TDDDB (Time Dependent Dielectric Breakdown) 測定で得られるゲート絶縁膜の信頼性データの結果を、ワイブル・プロットにして表したものを示す。横軸はゲート絶縁膜に注入した電荷量、縦軸は耐圧不良度合であり、従来の実施例と本実施例のデータを比較してある。

【0158】

図25に示すように、従来の実施例のワイブル・プロットは、ウエハ面内のチップ間で、耐圧不良が発生する総電荷量がばらついている。これは、確率的にゲート電極の耐圧不良の起こりやすいチップが面内で存在していることを示しており、製品の信頼性が低いことがわかる。このゲート電極の耐圧不良は、確率的にメタルがゲート酸化膜中、あるいは酸化膜界面に混入したことによる不良であることは明らかである。

【0159】

これに対し、本実施例のワイブル・プロットは、ウエハ面内のどのチップにおいても、ゲート電極の耐圧不良が発生する総電荷量はほぼ一定であることがわかる。従って、確率的なメタルの混入を防止でき、製品の信頼性を向上することができた。

【0160】

尚、第3の実施例ではメタルゲートの電極材料として、アルミニウム311を用いたが、それ以外にもチタン、ジルコニウム、ハフニウム、タンタル、ニオブ、バナジウム、あるいはこれらの窒化物も用いることも可能である。この場合は、酸化においてアルミ酸化物313ではなく、それぞれチタン酸化物、ジルコニウム酸化物、ハフニウム酸化物、タンタル酸化物、ニオブ酸化物、バナジウム酸化物が形成される。

【0161】

また、第3の実施例は、ダマシン構造のMOSFETだけでなく、通常のMOSFETにも適用できる。

【0162】

以上のように、上記第 3 の実施例によれば、ダマシン・ゲート形成プロセスを用いて、ゲート絶縁膜 3 0 9 の形成後にシリサイド膜 3 1 7 を形成するため、シリサイドのメタルがゲート電極に混入することを防止できる。

【0 1 6 3】

その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0 1 6 4】

【発明の効果】

以上説明したように本発明によれば、半導体基板表面の R I E 処理による汚染を防止し、エレベータッド・ソース・ドレイン拡散層の膜厚の制御が可能で、且つゲート絶縁膜の信頼性を向上することができる半導体装置及びその製造方法を提供できる。

【図面の簡単な説明】

【図 1】

本発明の第 1 の実施例 (1) に係わる半導体装置の製造工程の断面図。

【図 2】

図 1 に続く、本発明の第 1 の実施例 (1) に係わる半導体装置の製造工程の断面図。

【図 3】

本発明の第 1 の実施例 (2) に係わる半導体装置の製造工程の断面図。

【図 4】

図 3 に続く、本発明の第 1 の実施例 (2) に係わる半導体装置の製造工程の断面図。

【図 5】

図 4 に続く、本発明の第 1 の実施例 (2) に係わる半導体装置の製造工程の断面図。

【図 6】

図 5 に続く、本発明の第 1 の実施例 (2) に係わる半導体装置の製造工程の断面図。

【図 7】

図 6 に続く、本発明の第 1 の実施例 (2) に係わる半導体装置の製造工程の断面図。

【図 8】

図 7 に続く、本発明の第 1 の実施例 (2) に係わる半導体装置の製造工程の断面図。

【図 9】

本発明の第 2 の実施例 (1) に係わる半導体装置の製造工程の断面図。

【図 1 0】

図 9 に続く、本発明の第 2 の実施例 (1) に係わる半導体装置の製造工程の断面図。

【図 1 1】

図 1 0 に続く、本発明の第 2 の実施例 (1) に係わる半導体装置の製造工程の断面図。

【図 1 2】

図 1 1 に続く、本発明の第 2 の実施例 (1) に係わる半導体装置の製造工程の断面図。

【図 1 3】

図 1 2 に続く、本発明の第 2 の実施例 (1) に係わる半導体装置の製造工程の断面図。

【図 1 4】

本発明の第 2 の実施例 (1) の他の実施例に係わる半導体装置の製造工程の断面図。

【図 1 5】

図 1 4 に続く、本発明の第 2 の実施例 (1) の他の実施例に係わる半導体装置の製造工程の断面図。

【図 1 6】

本発明の第 2 の実施例 (1) の他の実施例に係わる半導体装置の製造工程の断面図。

【図 1 7】

本発明の第 2 の実施例 (1) の他の実施例に係わる半導体装置の製造工程の断面図。

【図 1 8】

本発明の第 2 の実施例 (2) に係わる半導体装置の製造工程の断面図。

【図 1 9】

図 1 8 に続く、本発明の第 2 の実施例 (2) に係わる半導体装置の製造工程の断面図。

【図 2 0】

本発明の第 3 の実施例に係わる半導体装置の製造工程の断面図。

【図 2 1】

図 2 0 に続く、本発明の第 3 の実施例に係わる半導体装置の製造工程の断面図。

【図 2 2】

図 2 1 に続く、本発明の第 3 の実施例に係わる半導体装置の製造工程の断面図。

【図 2 3】

図 2 2 に続く、本発明の第 3 の実施例に係わる半導体装置の製造工程の断面図。

【図 2 4】

シリコンとシリサイドの界面のモフォロジーの劣化を示す半導体装置の断面図。

【図 2 5】

ゲート絶縁膜の信頼性を示す図。

【図 2 6】

従来技術による半導体装置の製造工程の断面図。

【図 2 7】

図 2 6 に続く、従来技術による半導体装置の製造工程の断面図。

【図 2 8】

図 2 7 に続く、従来技術による半導体装置の製造工程の断面図。

【図 2 9】

従来技術による問題を示す半導体装置の断面図。

【図 3 0】

従来技術による問題を示す半導体装置の断面図。

【符号の説明】

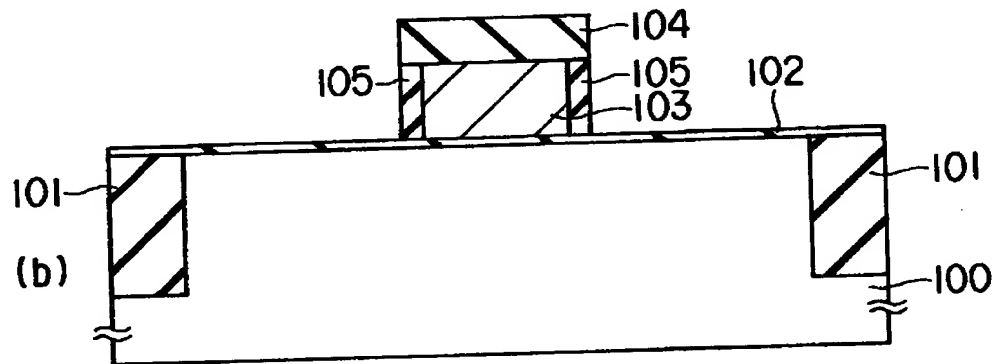
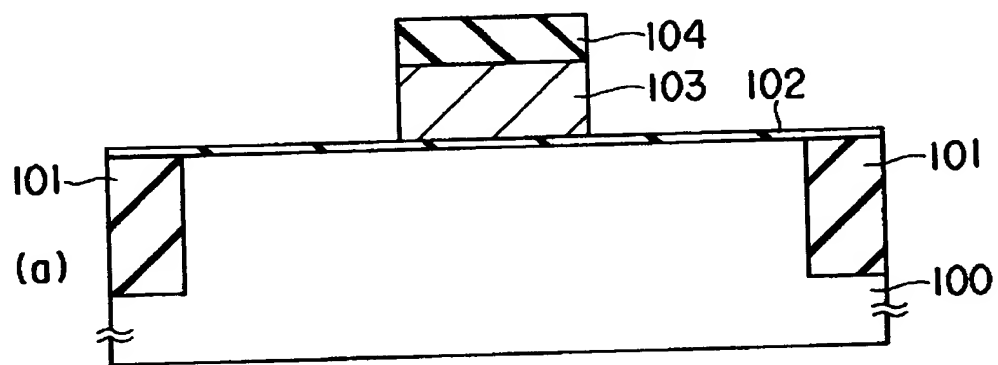
1 0 0、1 1 0、2 0 0、2 2 0、3 0 0…シリコン基板、
1 0 1、1 1 1、3 0 1…素子分離領域、
1 0 2、2 0 2…シリコン窒化膜、
1 0 3、1 1 3、2 0 1、2 2 2、3 0 3…ポリシリコン、
1 0 4、1 1 5…第 1 のシリコン酸化膜、
1 0 5、1 2 2…第 2 のシリコン酸化膜、
1 0 6…ファセット・エレベーター・ソース・ドレイン拡散層、
1 0 7、1 2 3、2 0 5、2 2 5、3 0 5…エクステンション拡散層、
1 1 2、3 0 4…第 1 のシリコン窒化膜、
1 1 4…第 2 のシリコン窒化膜、
1 1 6…レジスト、
1 1 7…シリコン基板表面、
1 1 8…N型ファセット・エレベーター・ソース・ドレイン拡散層、
1 1 9…第 3 のシリコン窒化膜、
1 2 0…シリコン基板表面、
1 2 1…P型ファセット・エレベーター・ソース・ドレイン拡散層、
1 2 4、3 1 7…シリサイド膜、
1 2 5、2 0 9、2 1 8、3 0 8…層間絶縁膜、
1 2 6…タンタル酸化膜、
1 2 7、2 1 2、3 1 0…チタン窒化膜、
1 2 8、3 1 1…アルミニウム、
2 0 3、2 0 6 a、2 2 3…第 1 のシリコン窒化膜の側壁、
2 0 4、2 1 5、2 1 6、2 2 4…エピタキシャルシリコン層、

206、207a、226…シリコン酸化膜の側壁、
207、227、306…第2のシリコン窒化膜の側壁、
208、228…ソース・ドレイン拡散層、
210、217、217a…溝、
211、221、309…ゲート絶縁膜、
213…タングステン、
214、312…ゲート電極、
219、219a…空洞、
302…ゲート酸化膜、
307…エレベータッド・ソース・ドレイン拡散層
313…アルミ酸化膜、
314…チタン酸化膜、
315…シリコン酸化膜、
316…金属。

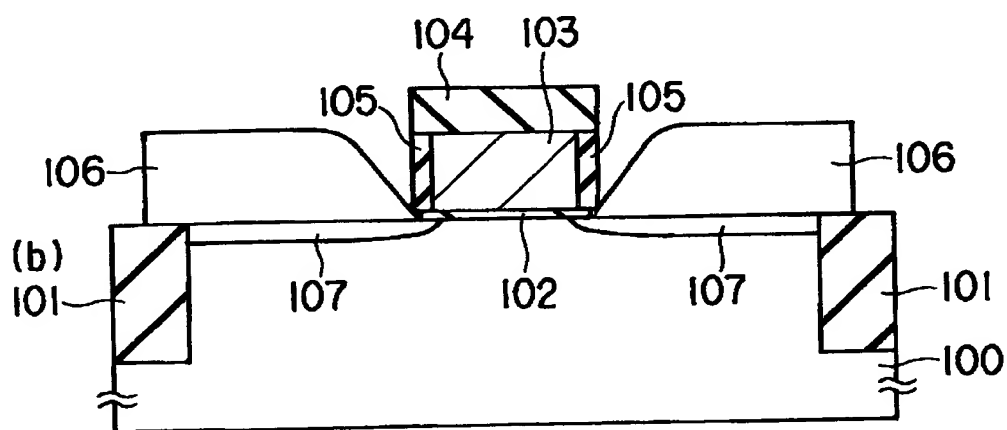
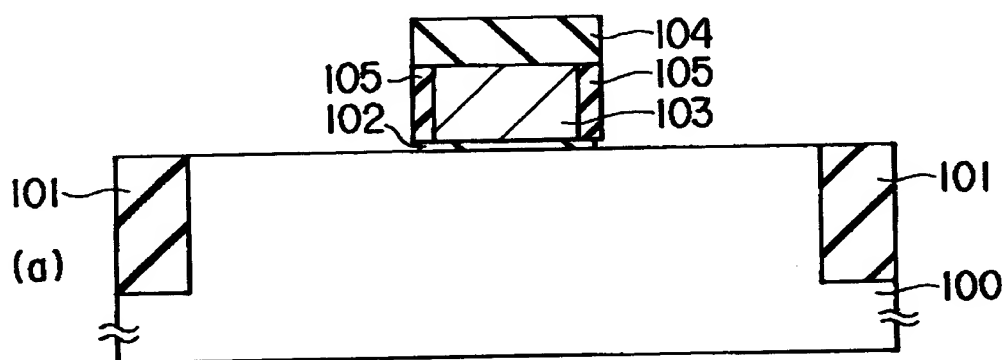
【書類名】

図面

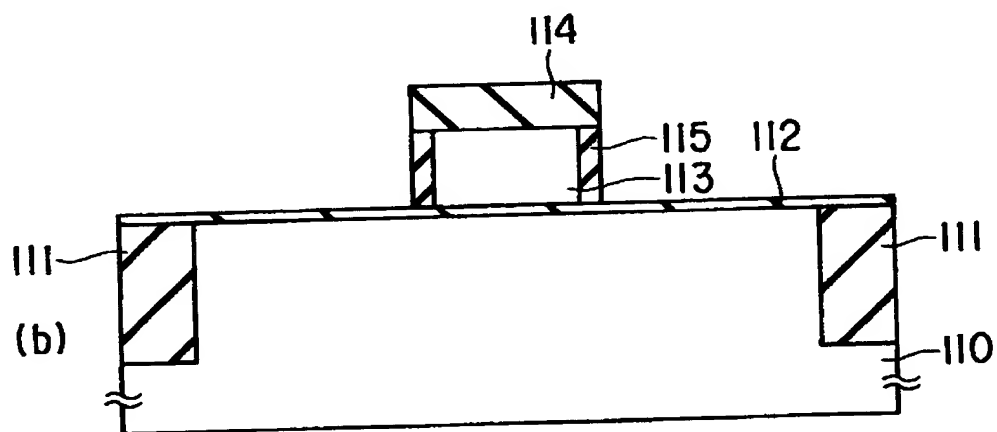
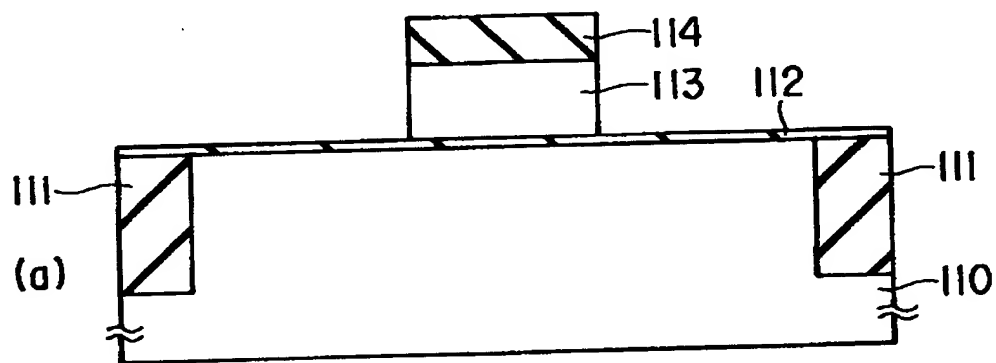
【図 1】



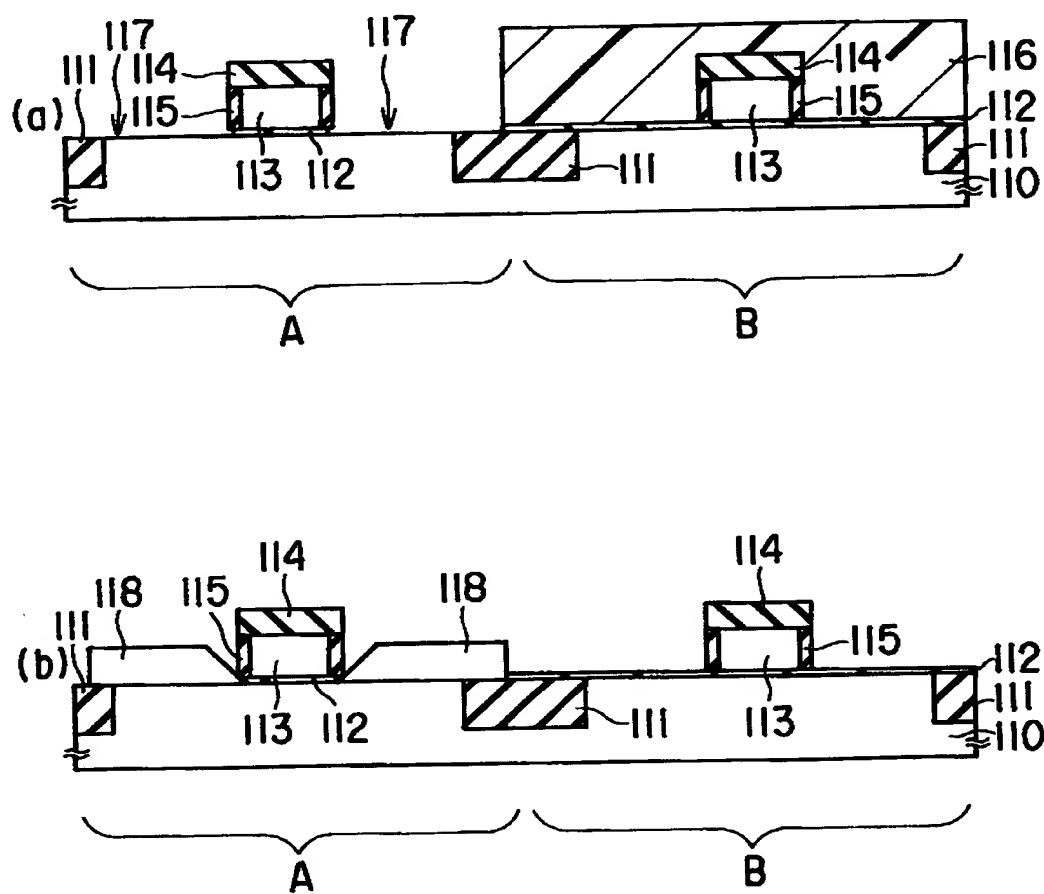
【図 2】



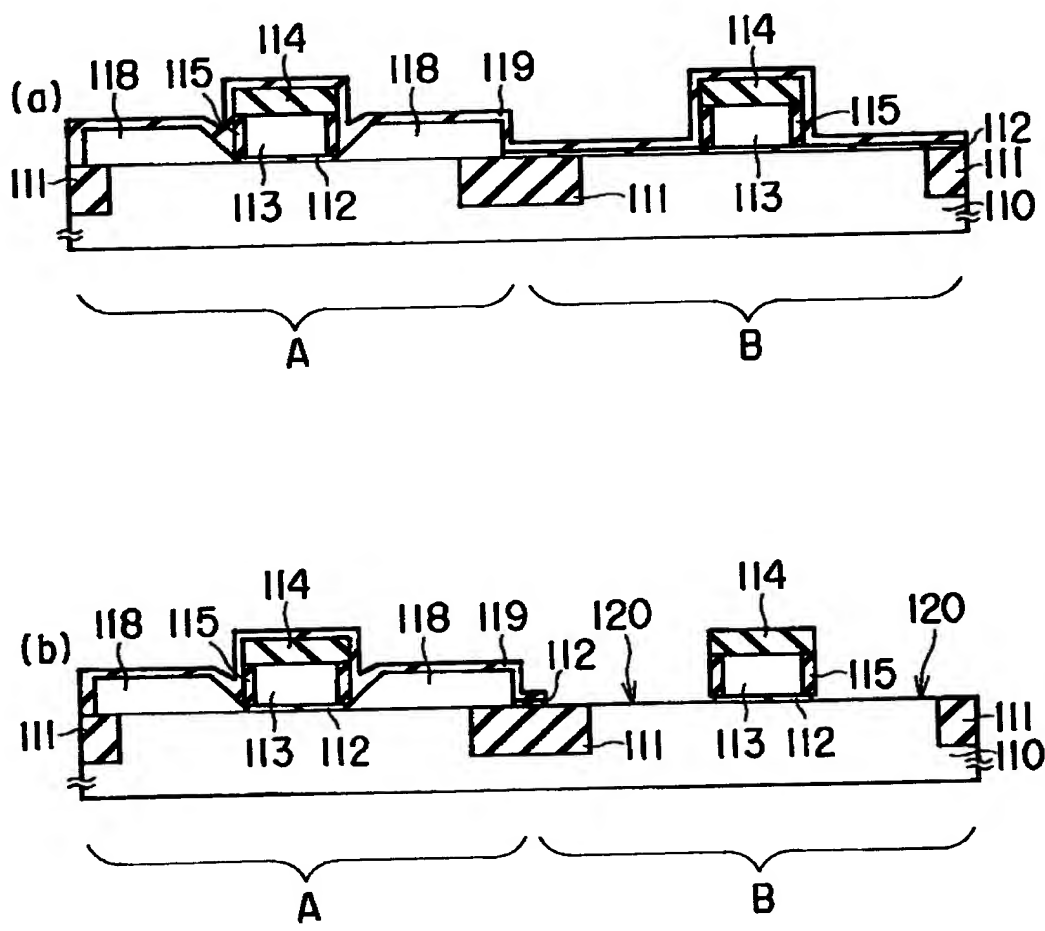
【図 3】



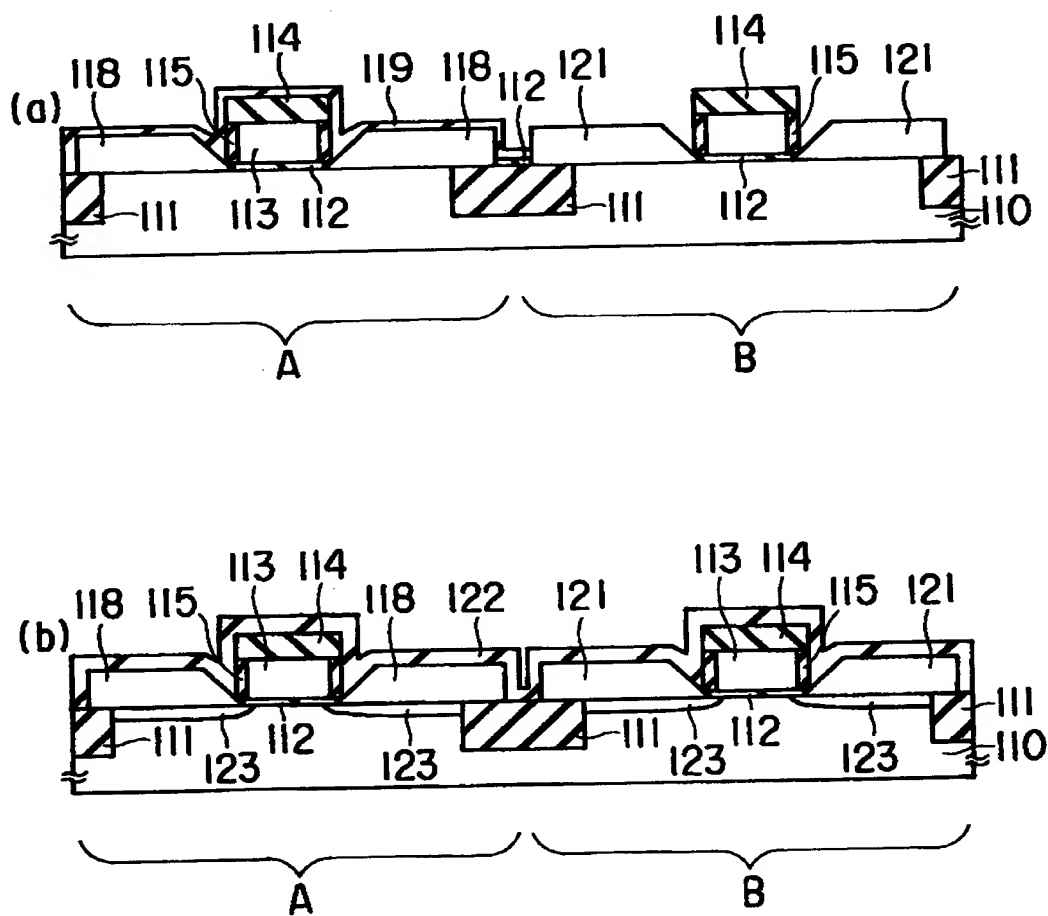
【図 4】



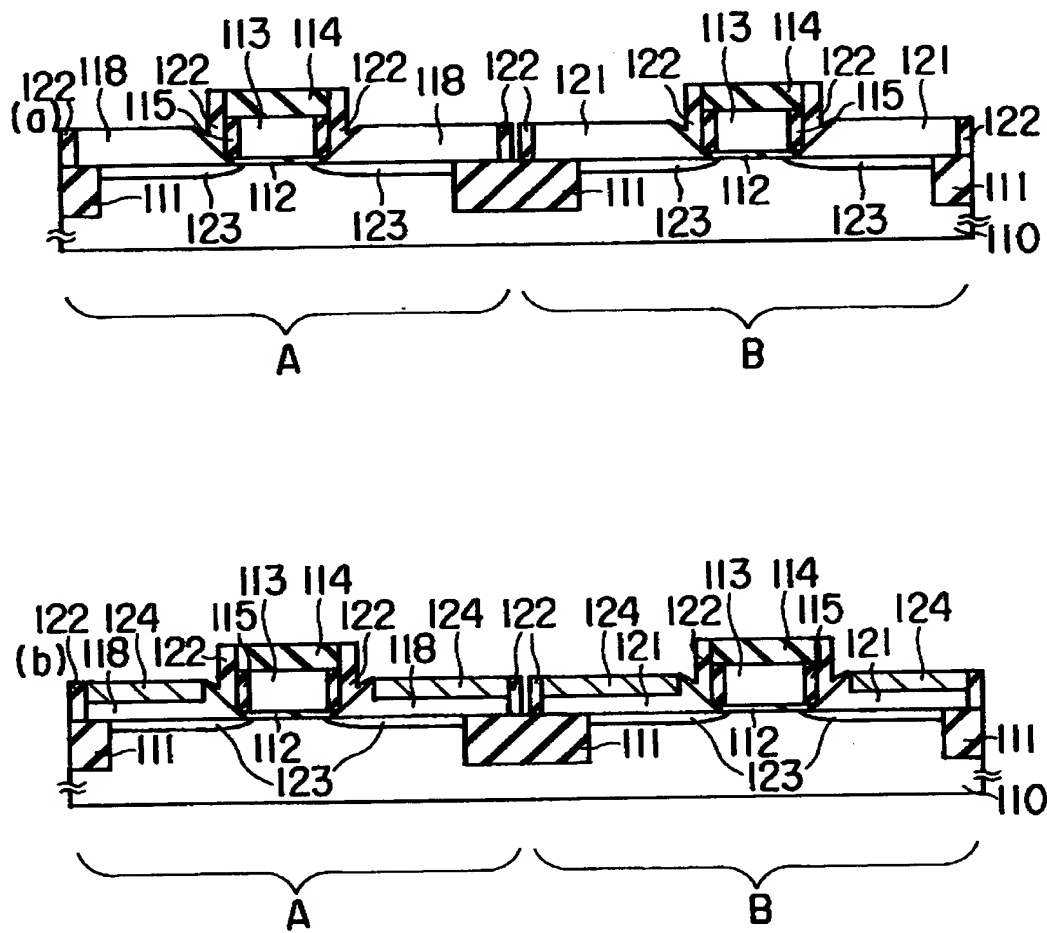
【図5】



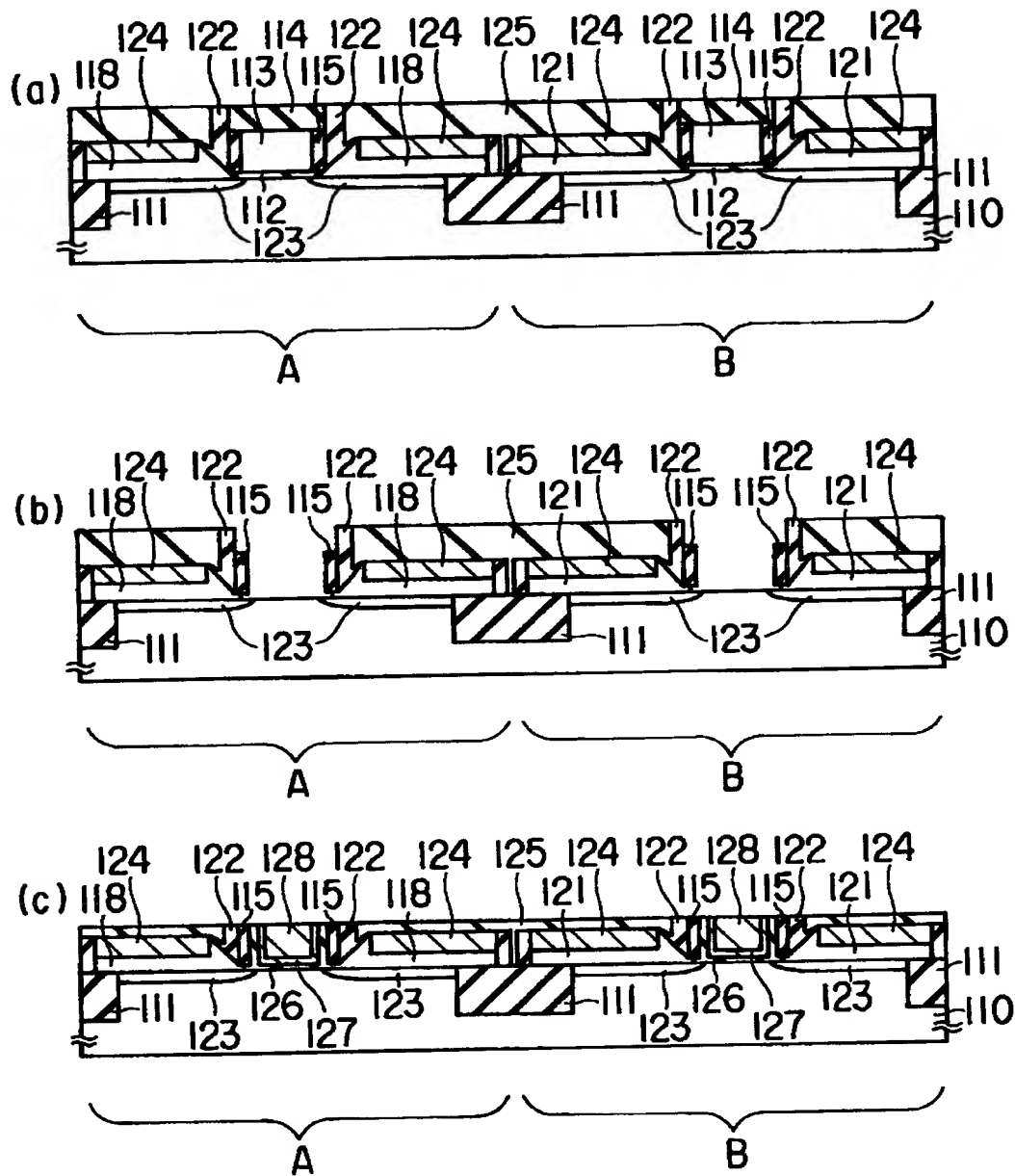
【図 6】



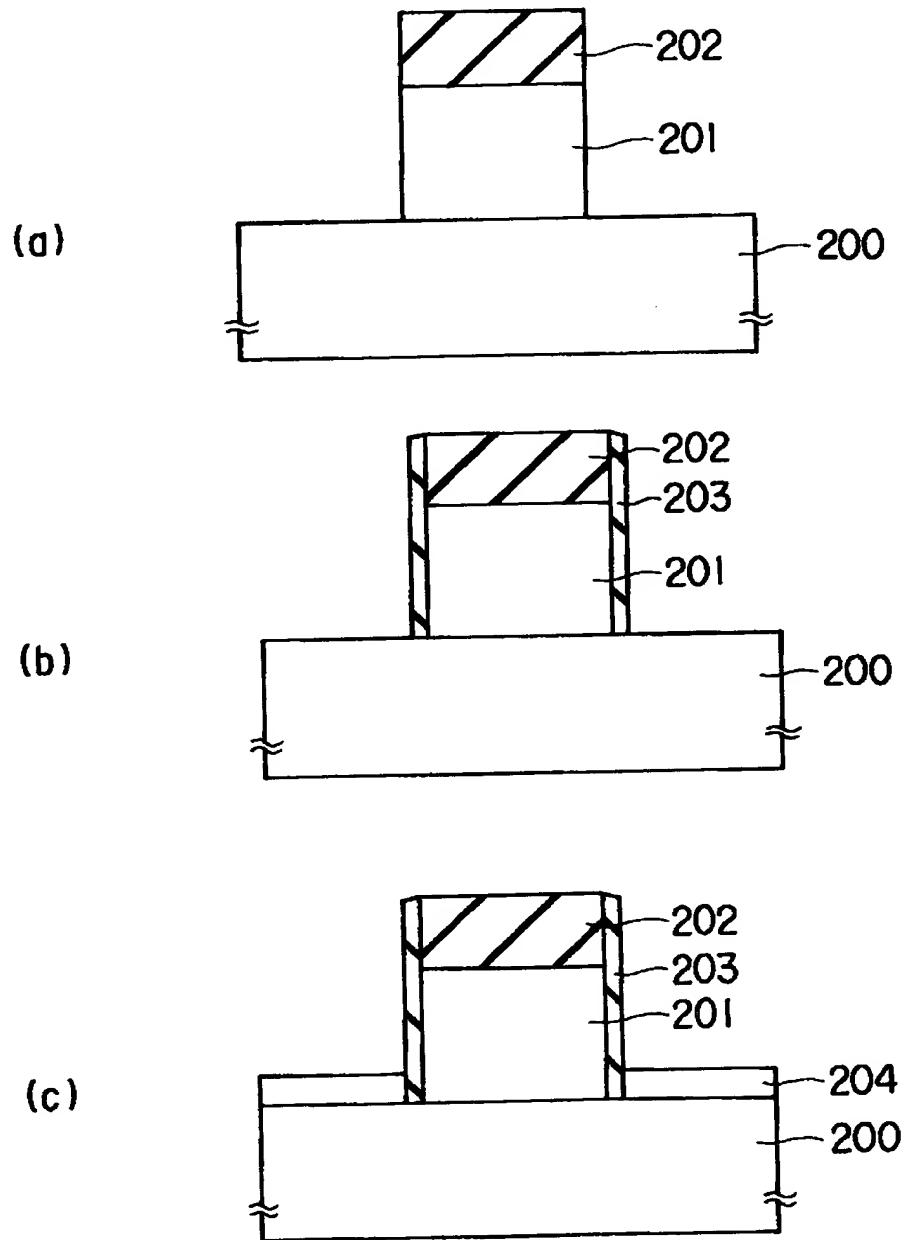
【図 7】



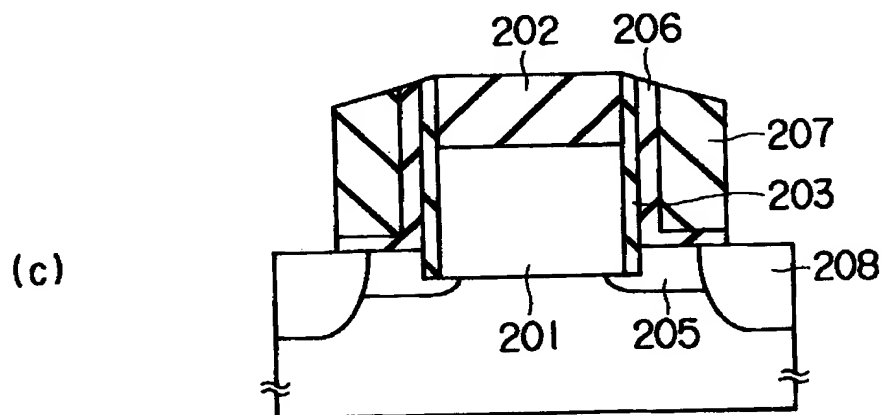
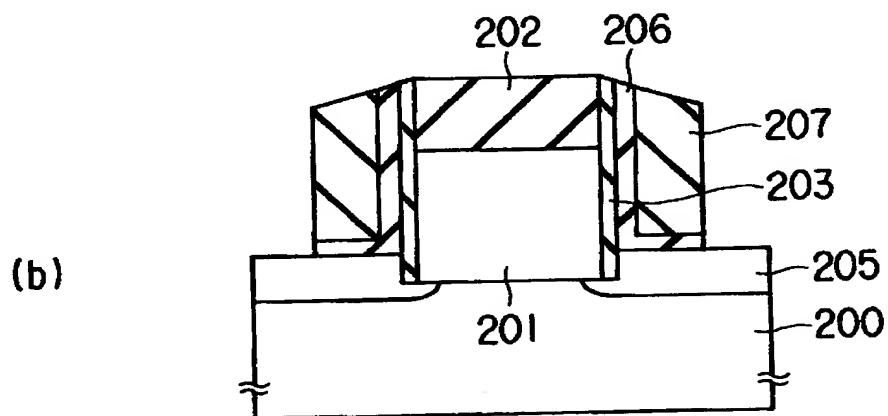
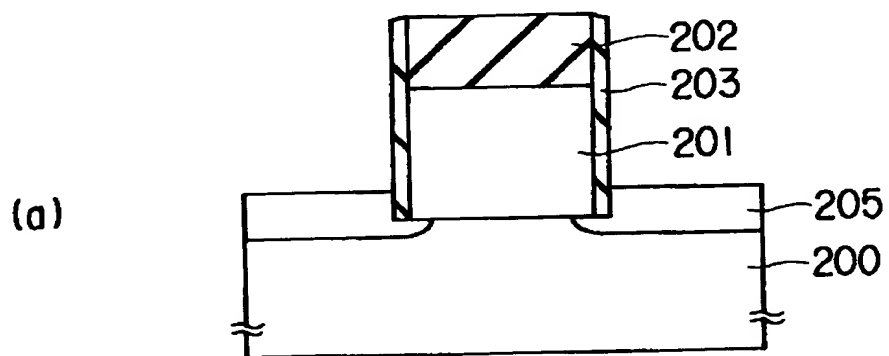
【図 8】



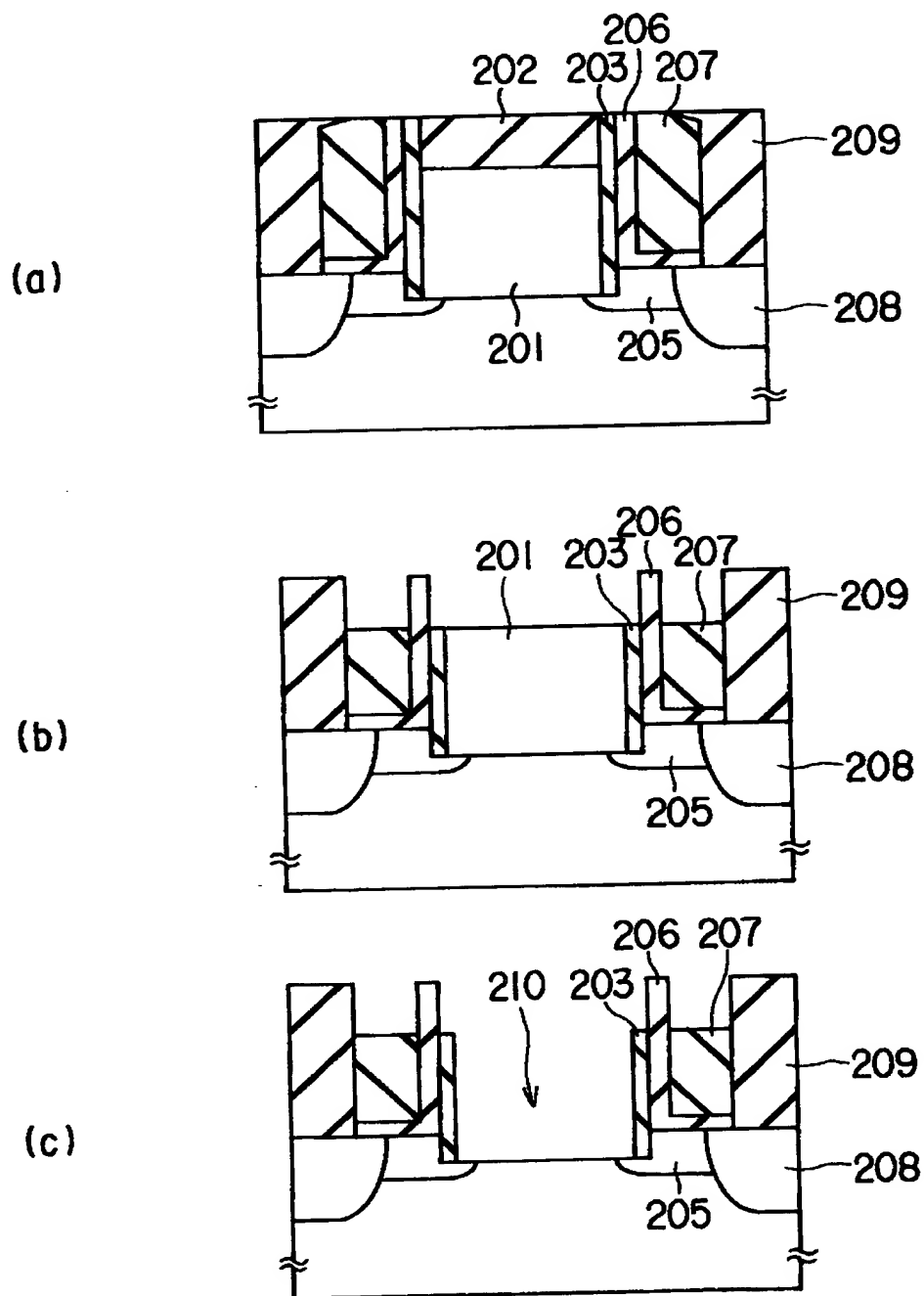
【図 9】



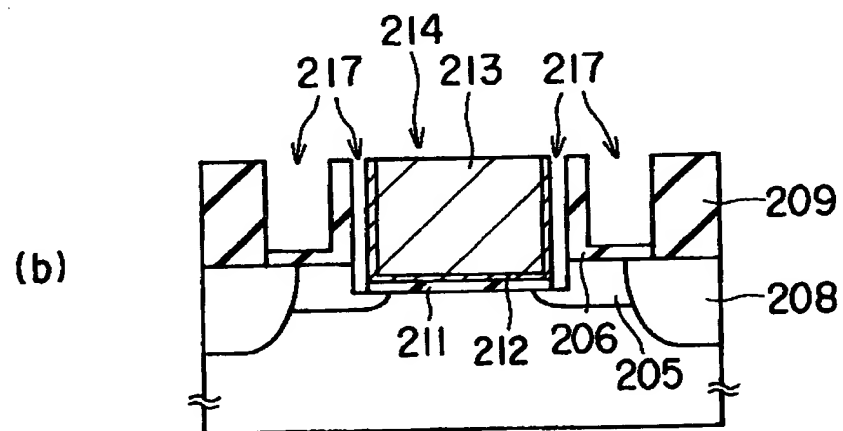
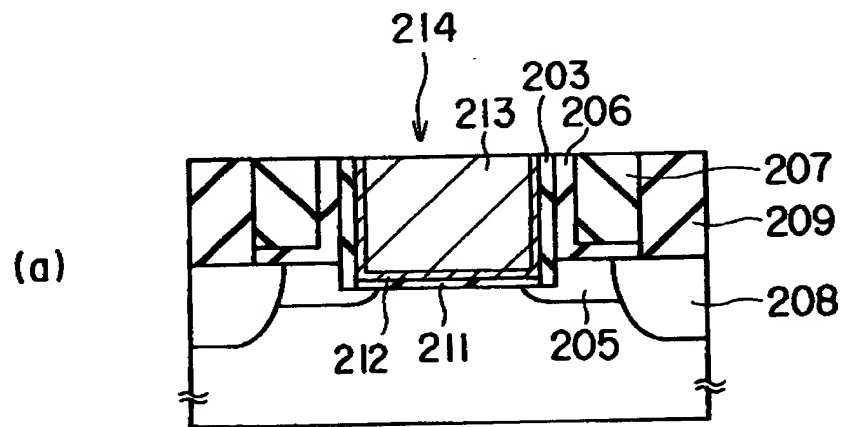
【図10】



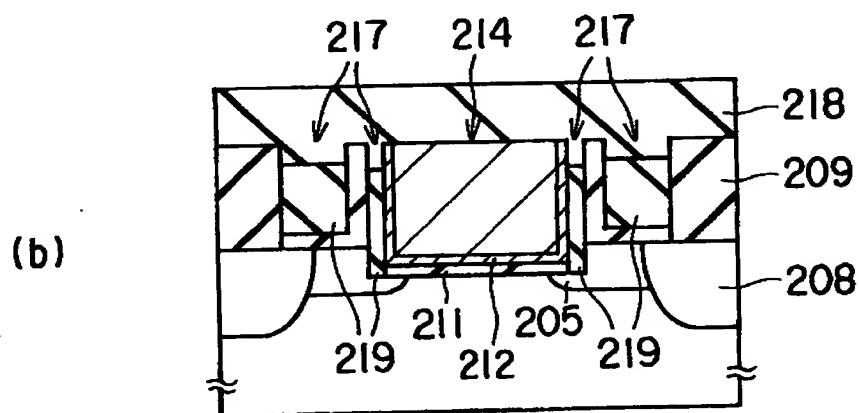
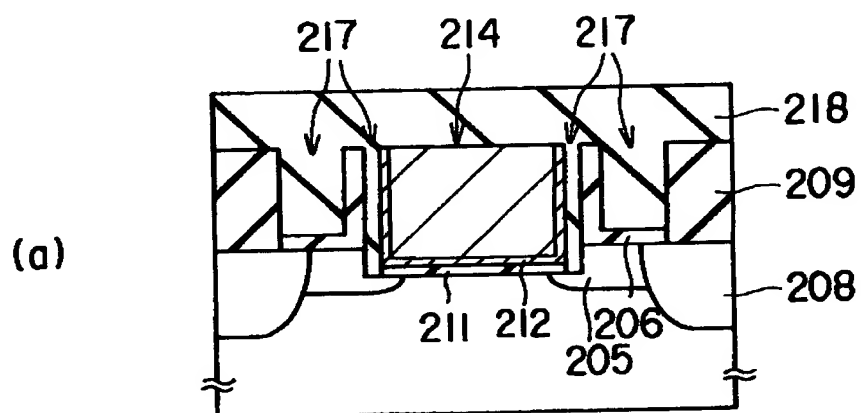
【図 11】



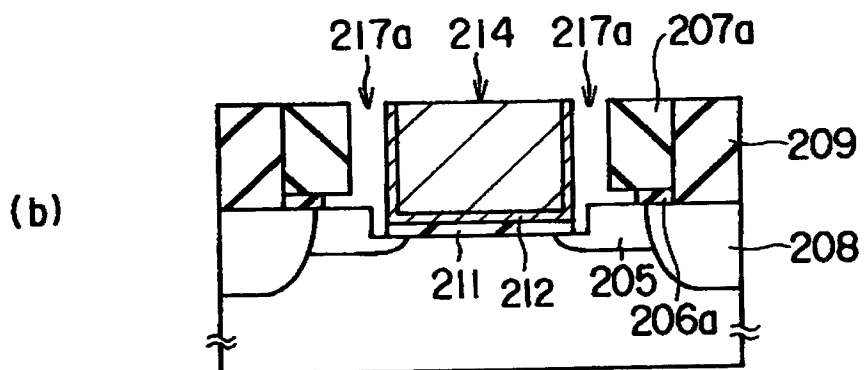
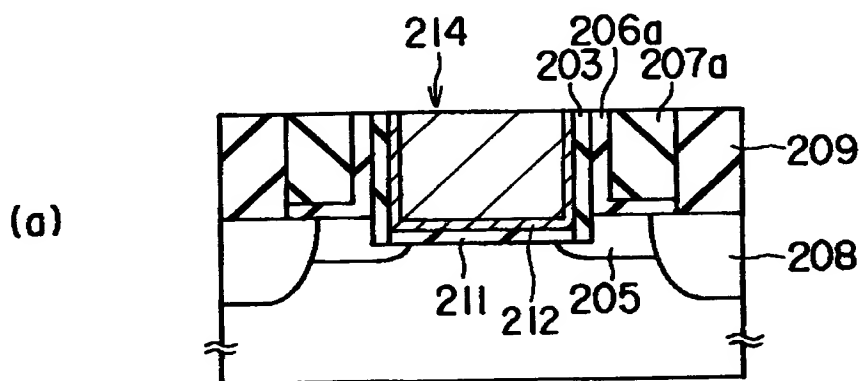
【図 12】



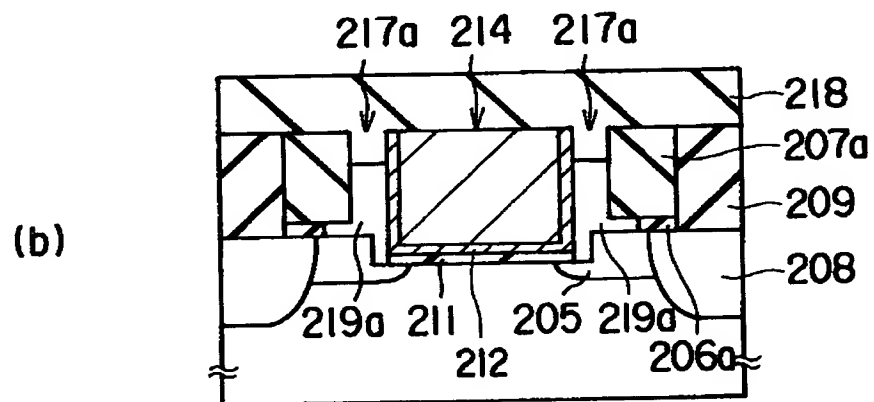
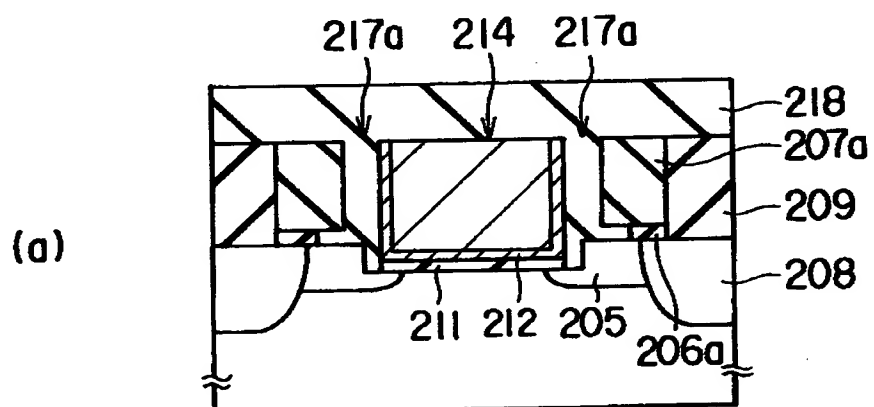
【図 13】



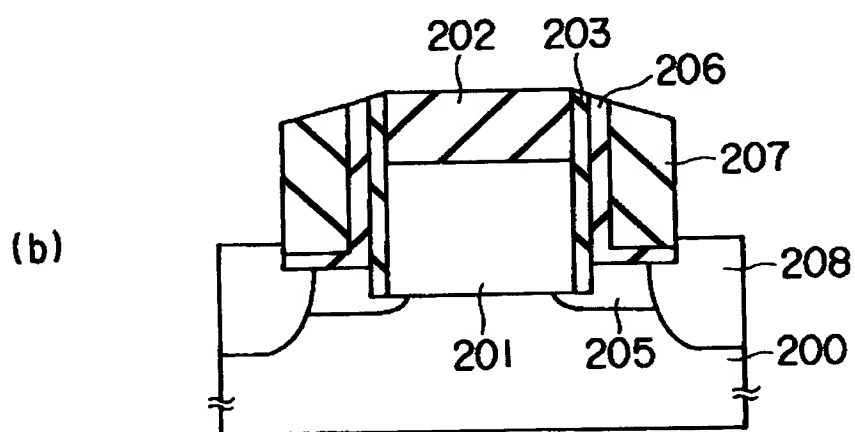
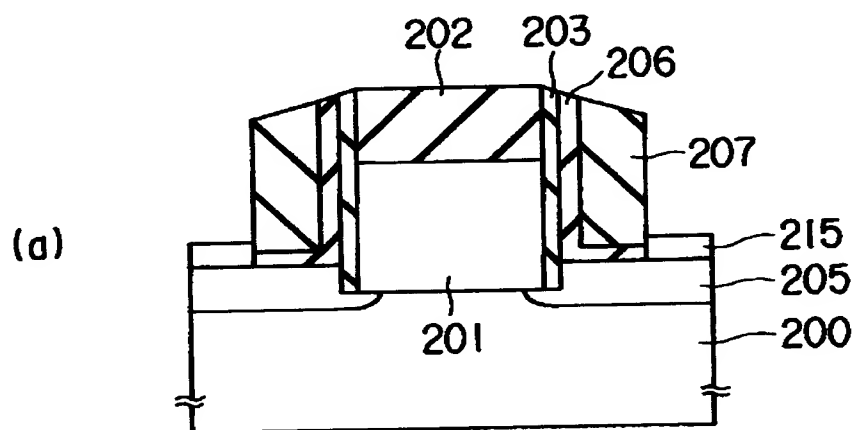
【図 1 4】



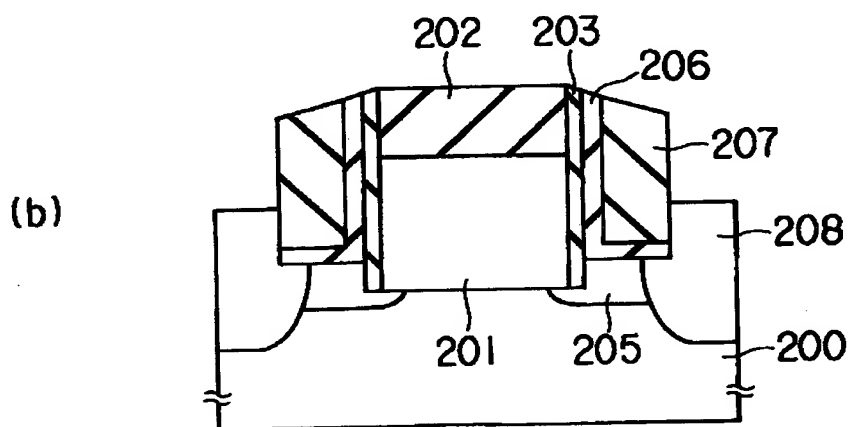
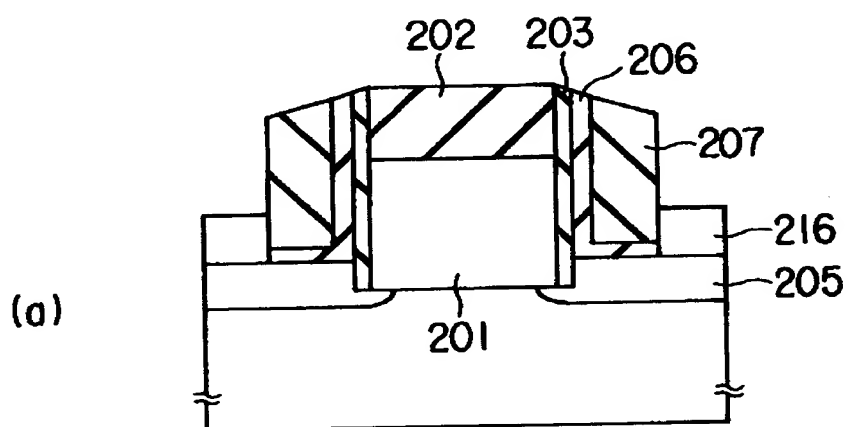
【図 1 5】



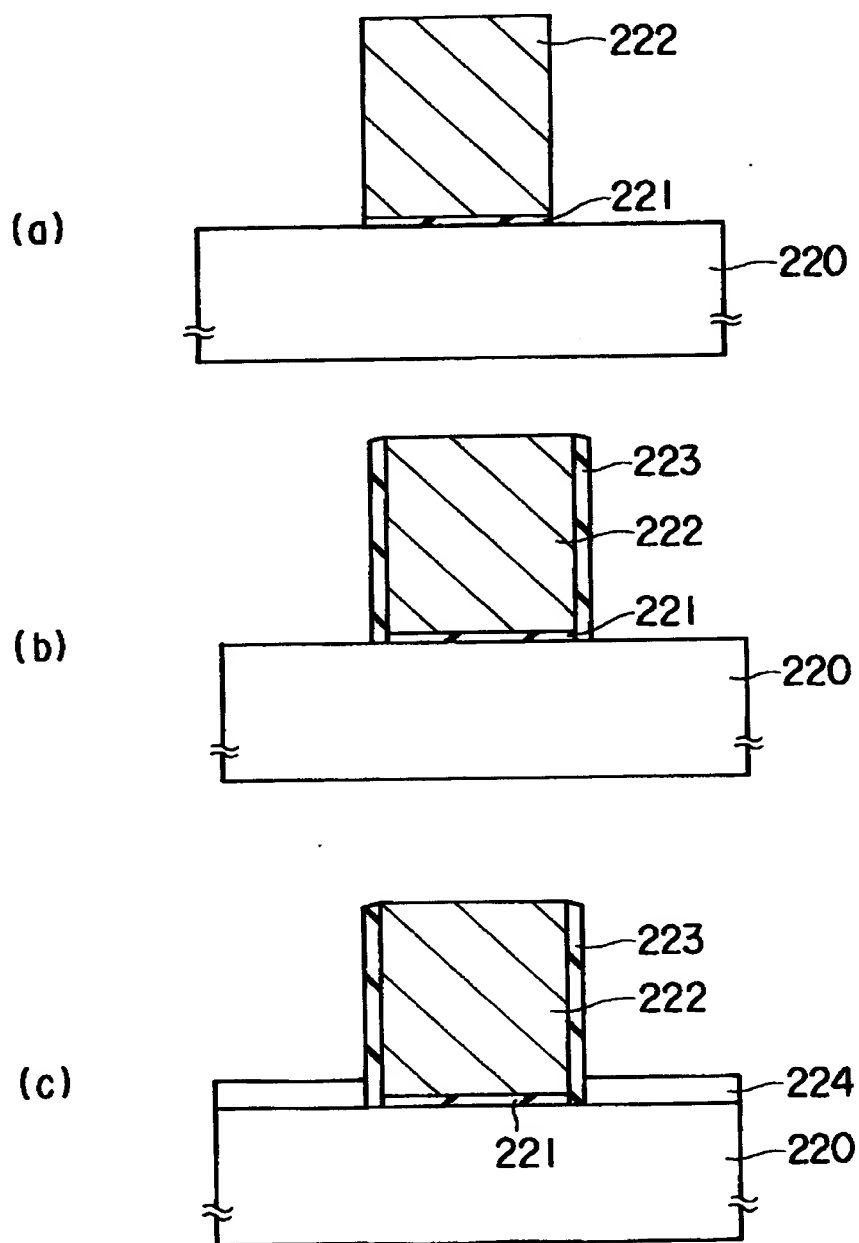
【図 1 6】



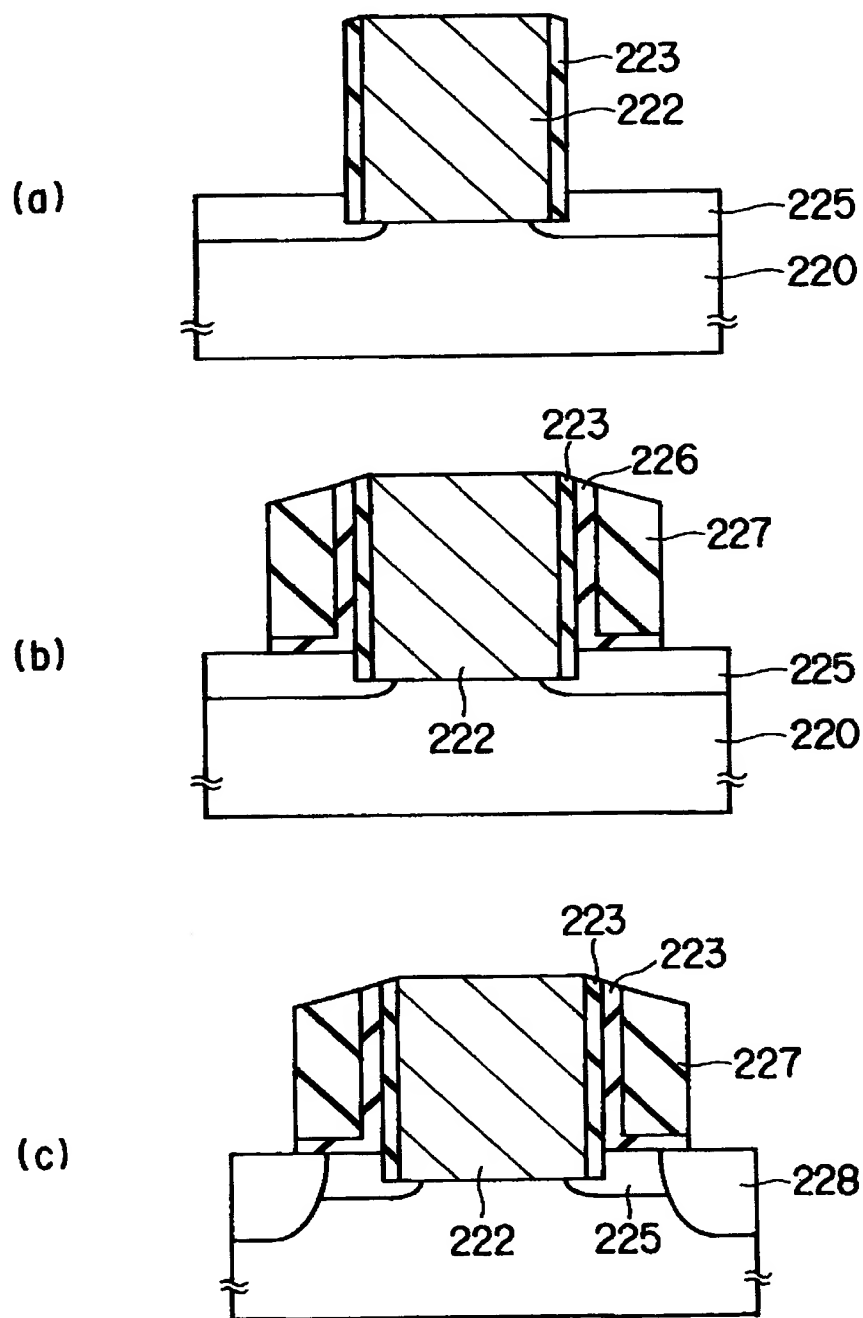
【図 1 7】



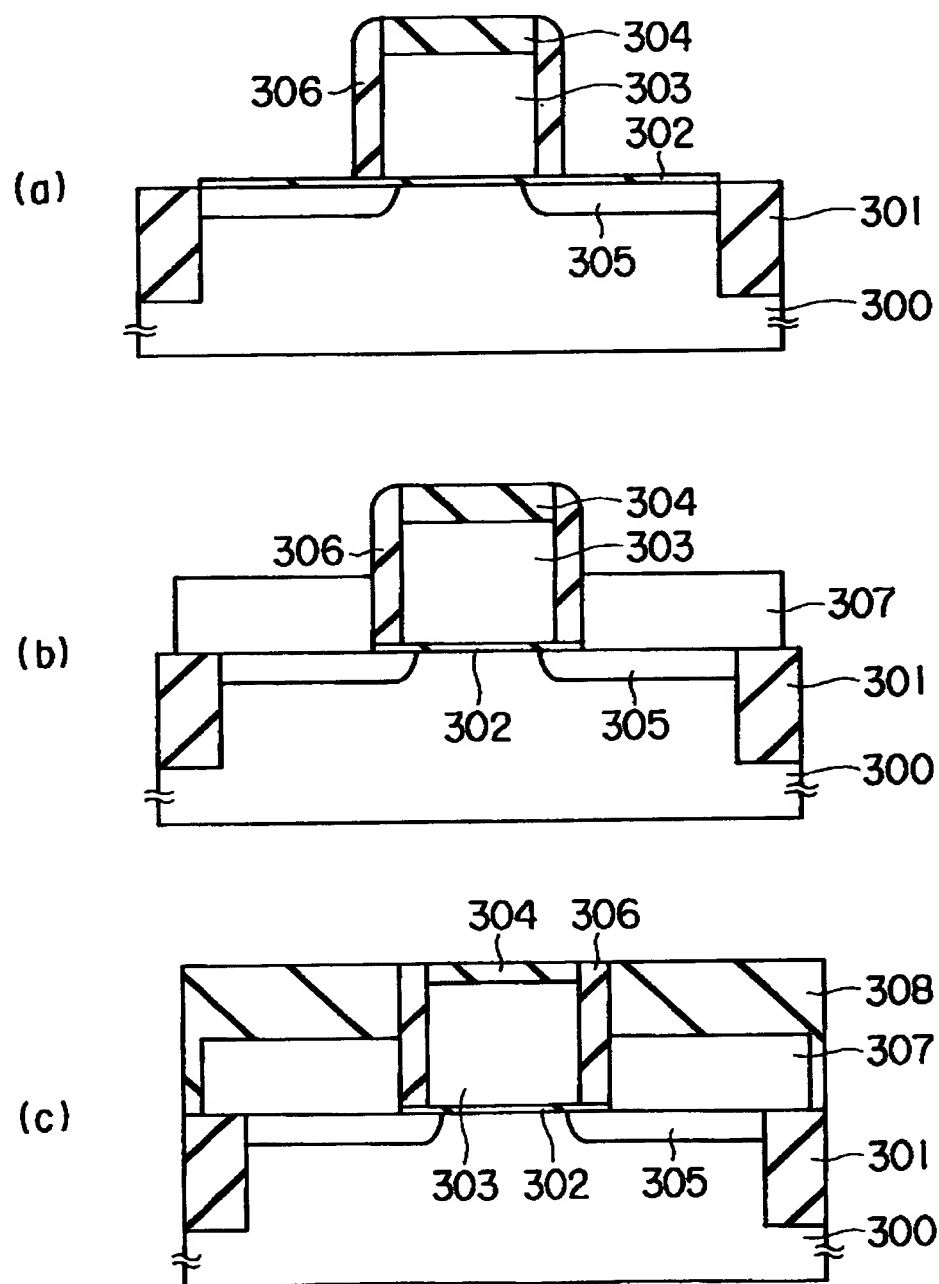
【図 1 8】



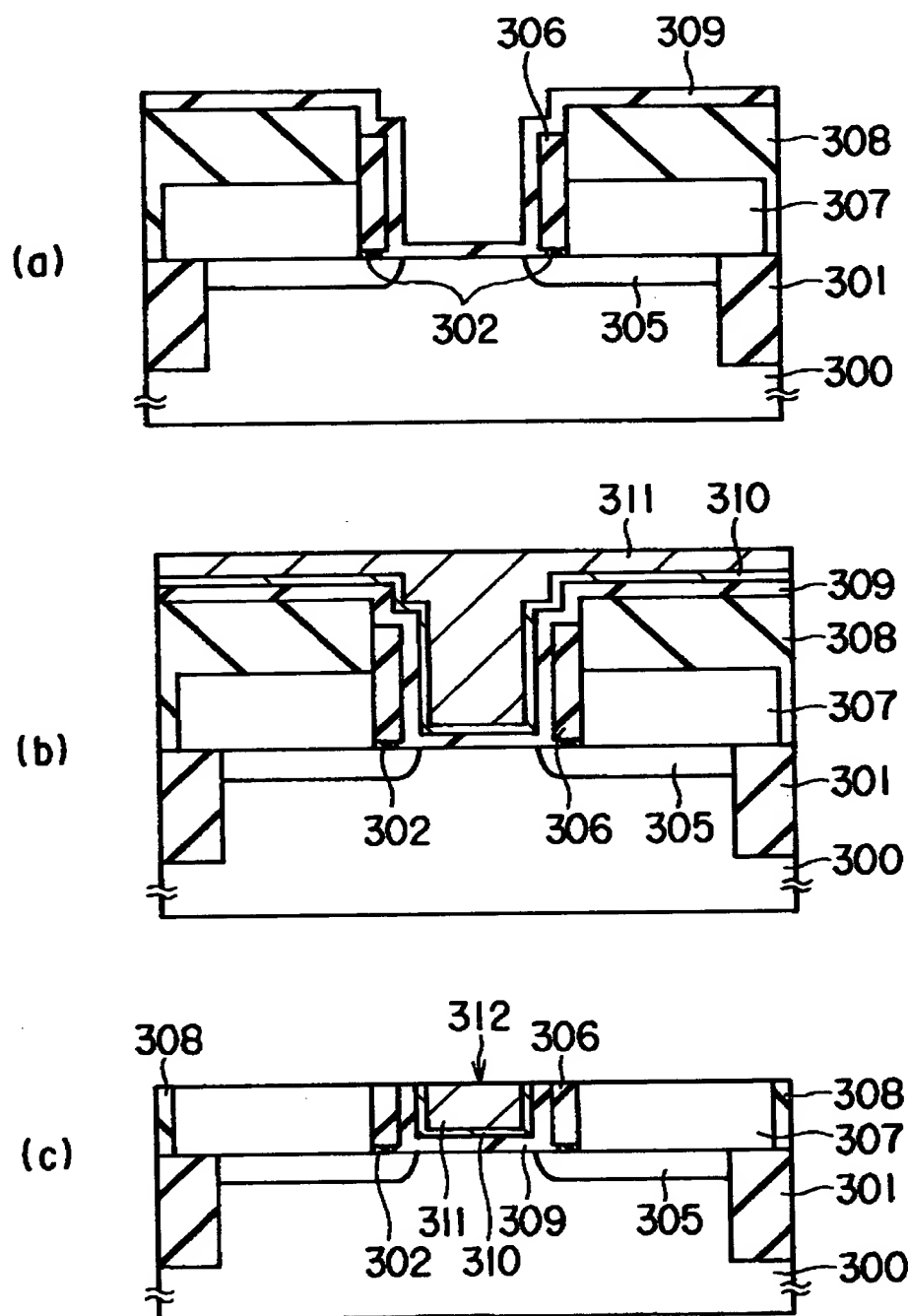
【図 1 9】



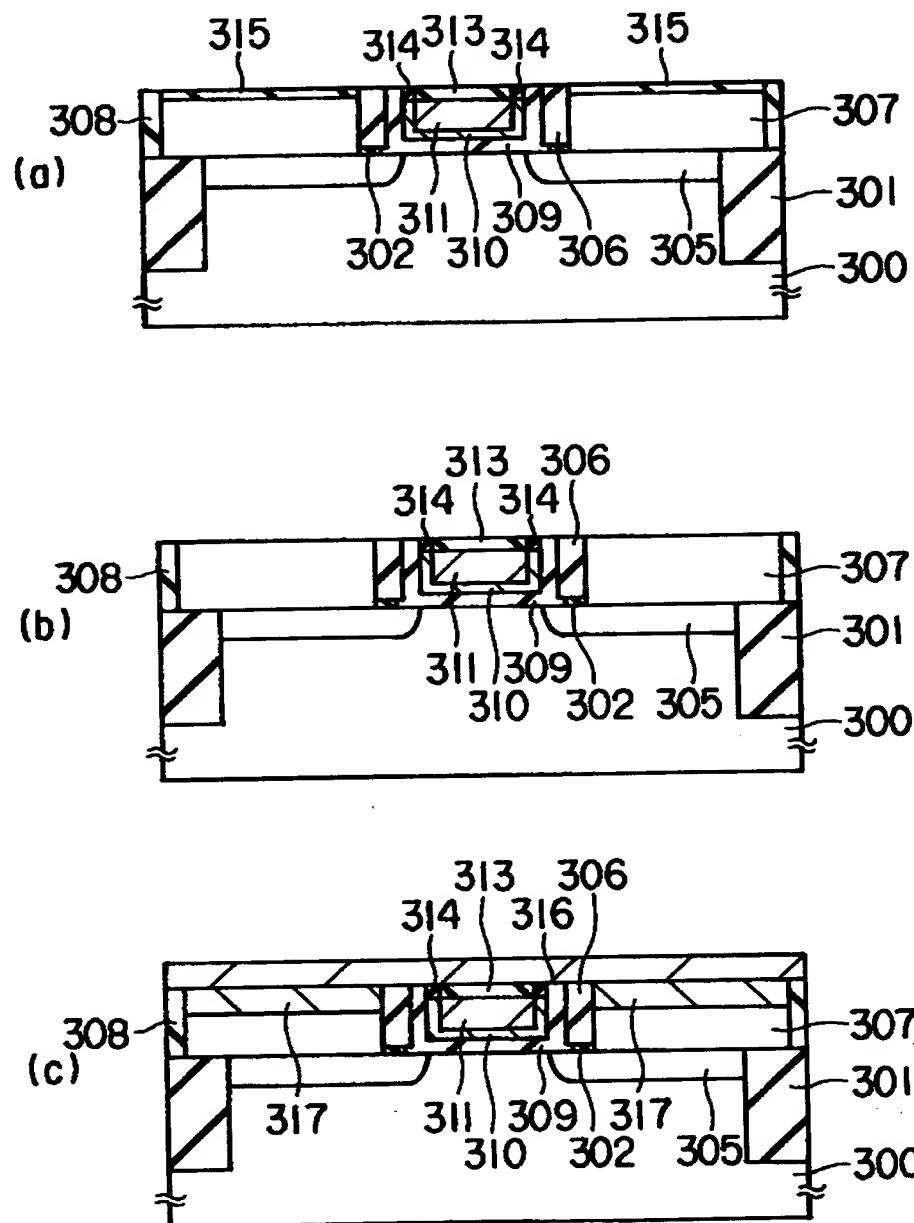
【図 2 0】



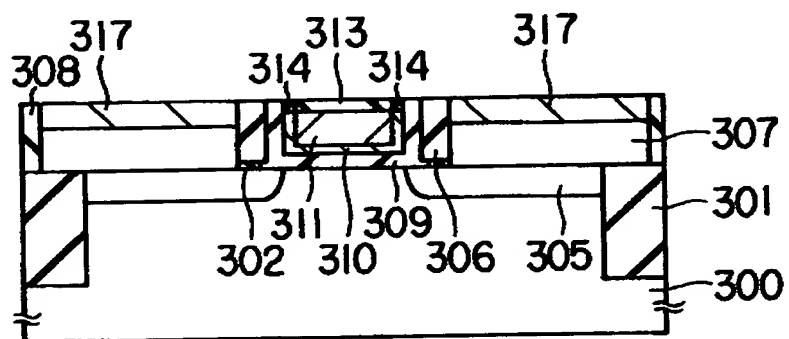
【図 2 1】



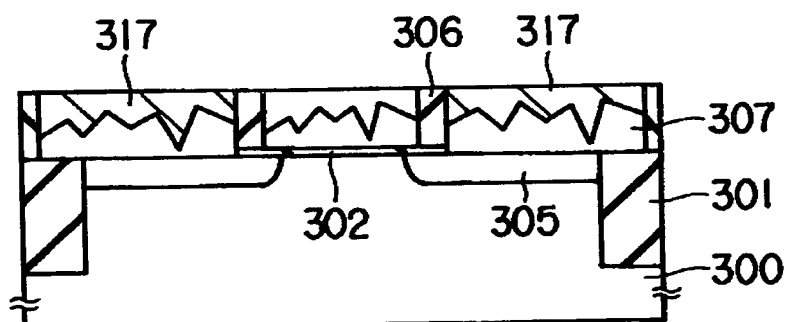
【図 2 2】



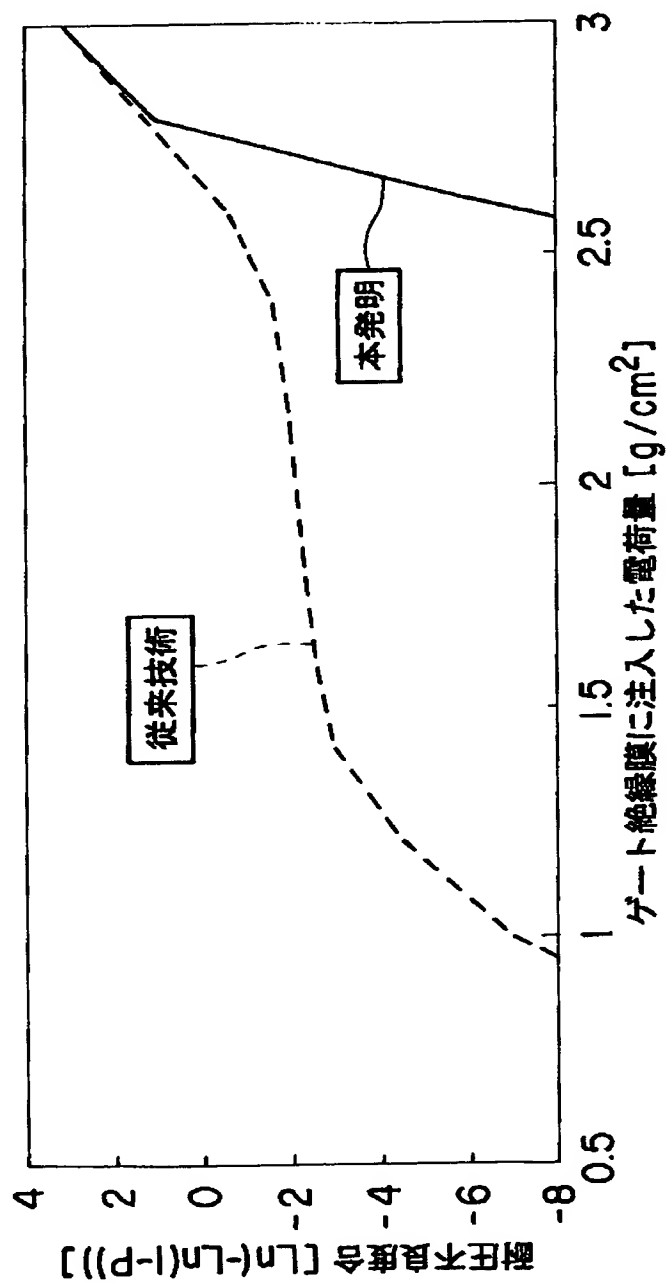
【図 2 3】



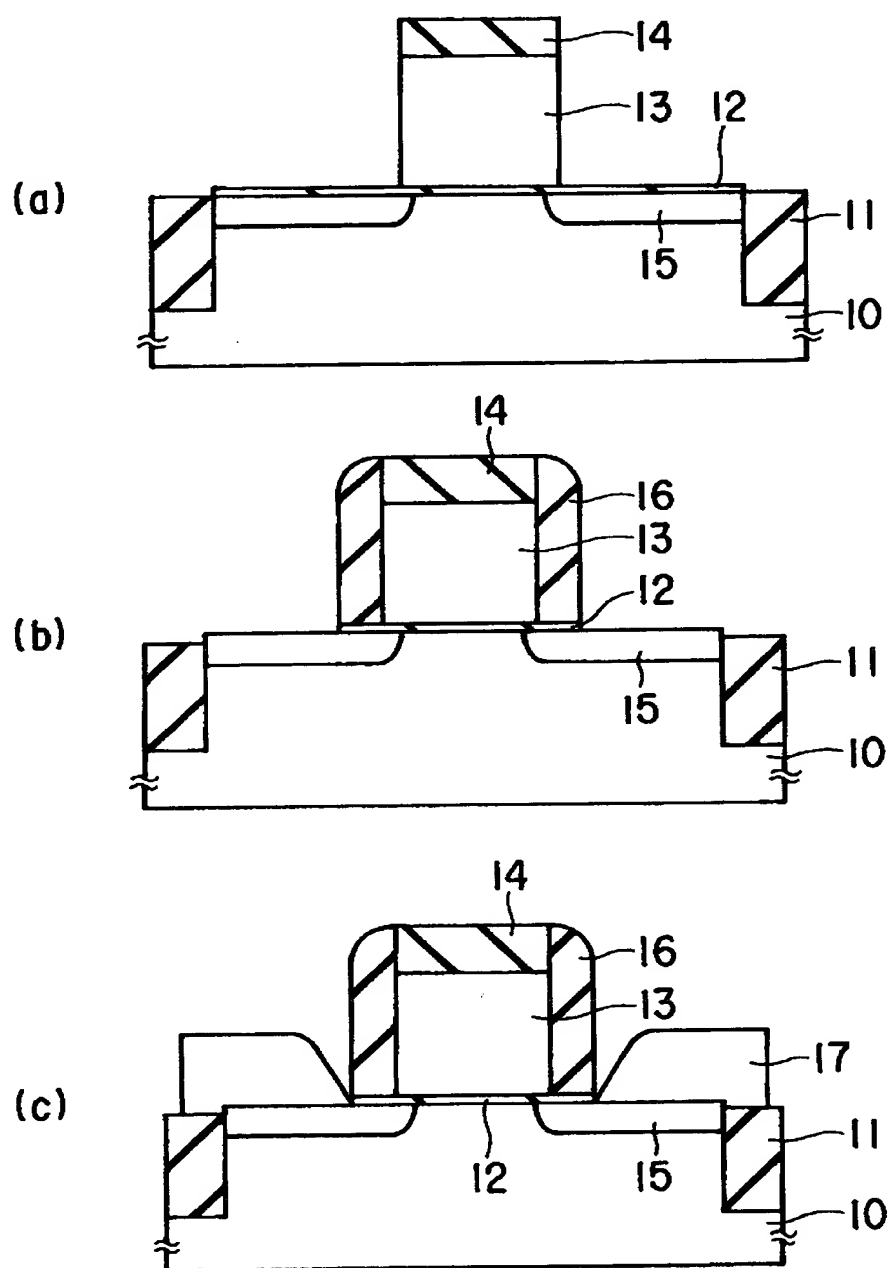
【図 2 4】



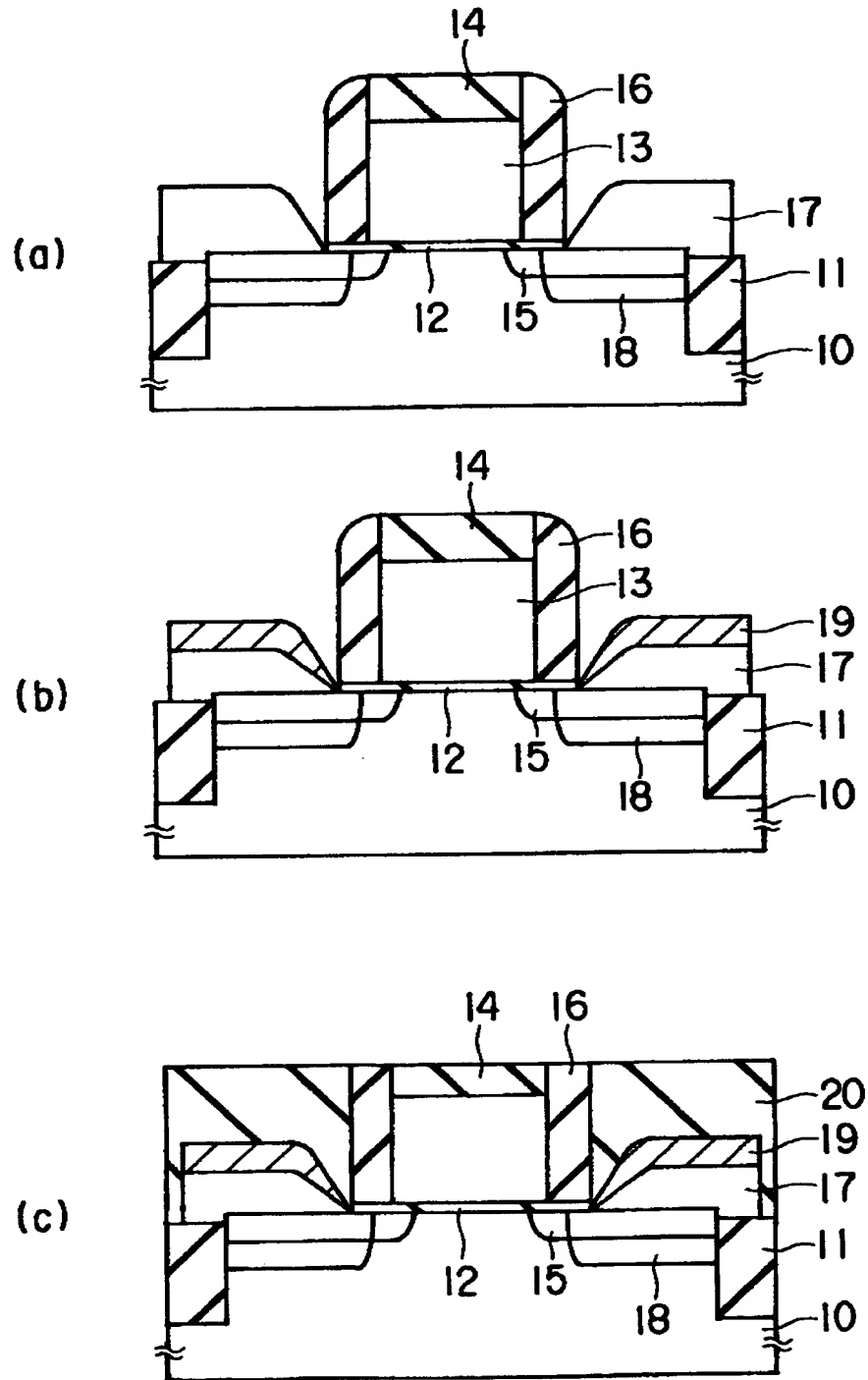
【図 25】



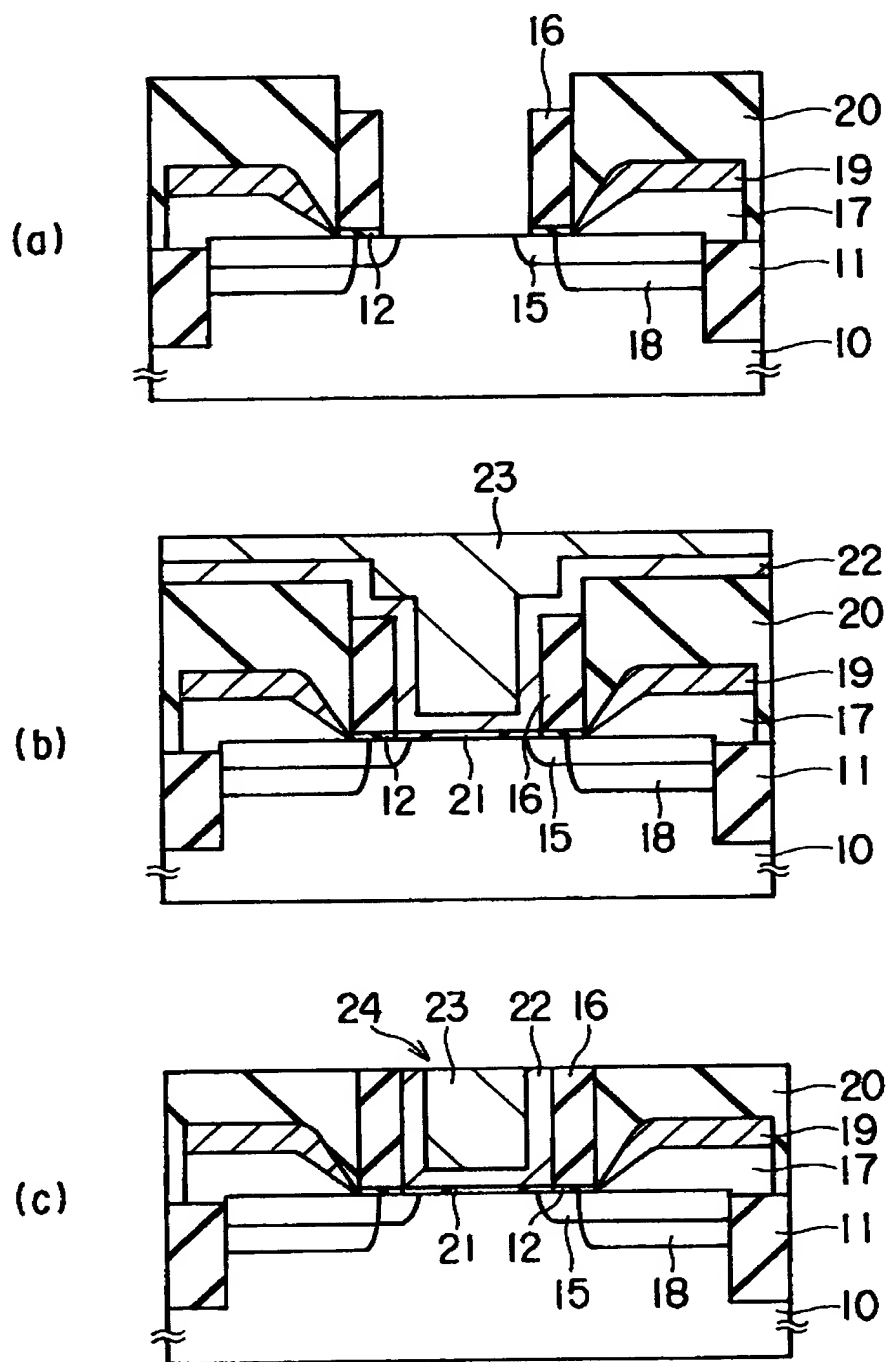
【図 2 6】



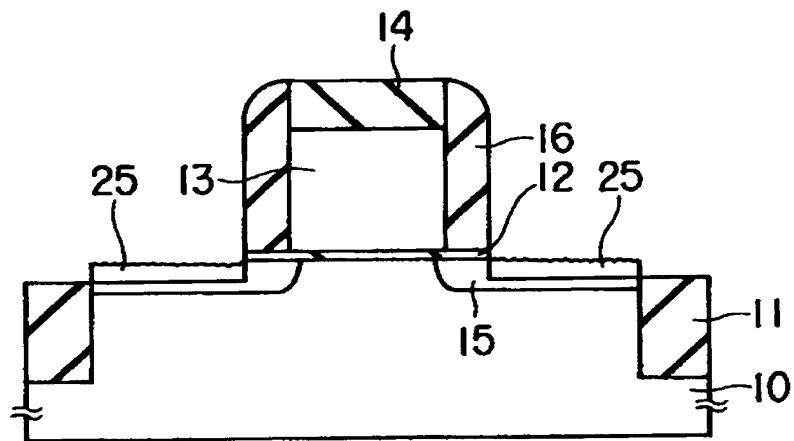
【図 27】



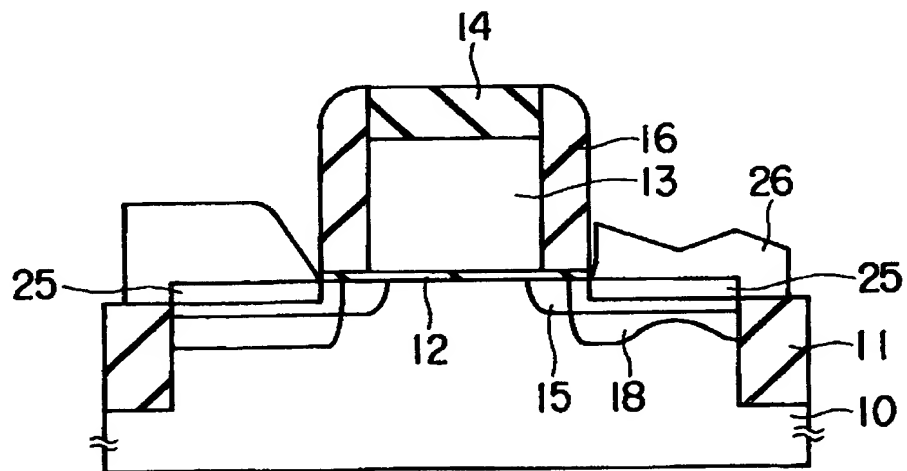
【図 2 8】



【図 2 9】



【図 3 0】



【書類名】 要約書

【要約】

【課題】 本発明は、半導体基板表面の R I E 処理による汚染を防止する。

【解決手段】 半導体基板 1 0 0 上にシリコン窒化膜 1 0 2 を形成し、このシリコン窒化膜 1 0 2 上にポリシリコン 1 0 3 を選択的に形成する。このポリシリコン 1 0 3 上にシリコン酸化膜 1 0 4 を形成し、また、ポリシリコン 1 0 3 の側面にシリコン酸化膜 1 0 5 を形成する。その後、リン酸の薬液処理を行うことにより、半導体基板 1 0 0 表面に汚染層を形成することなく、シリコン窒化膜 1 0 2 を除去し、半導体基板 1 0 0 表面を露出することができる。

【選択図】 図 2

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 1990年 8月22日
[変更理由] 新規登録
住 所 神奈川県川崎市幸区堀川町72番地
氏 名 株式会社東芝